

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-177371

(43) 公開日 平成10年(1998) 6 月30日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 0 5

G 0 2 F 1/133

5 0 5

G 0 9 F 9/35

G 0 9 F 9/35

審査請求 未請求 請求項の数37 O L (全 32 頁)

(21) 出願番号

特願平9-279013

(22) 出願日

平成9年(1997)10月13日

(31) 優先権主張番号

特願平8-276531

(32) 優先日

平8(1996)10月18日

(33) 優先権主張国

日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 ▲吉▼田 大介

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 山岸 弘一

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 宮脇 守

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74) 代理人 弁理士 山下 穰平

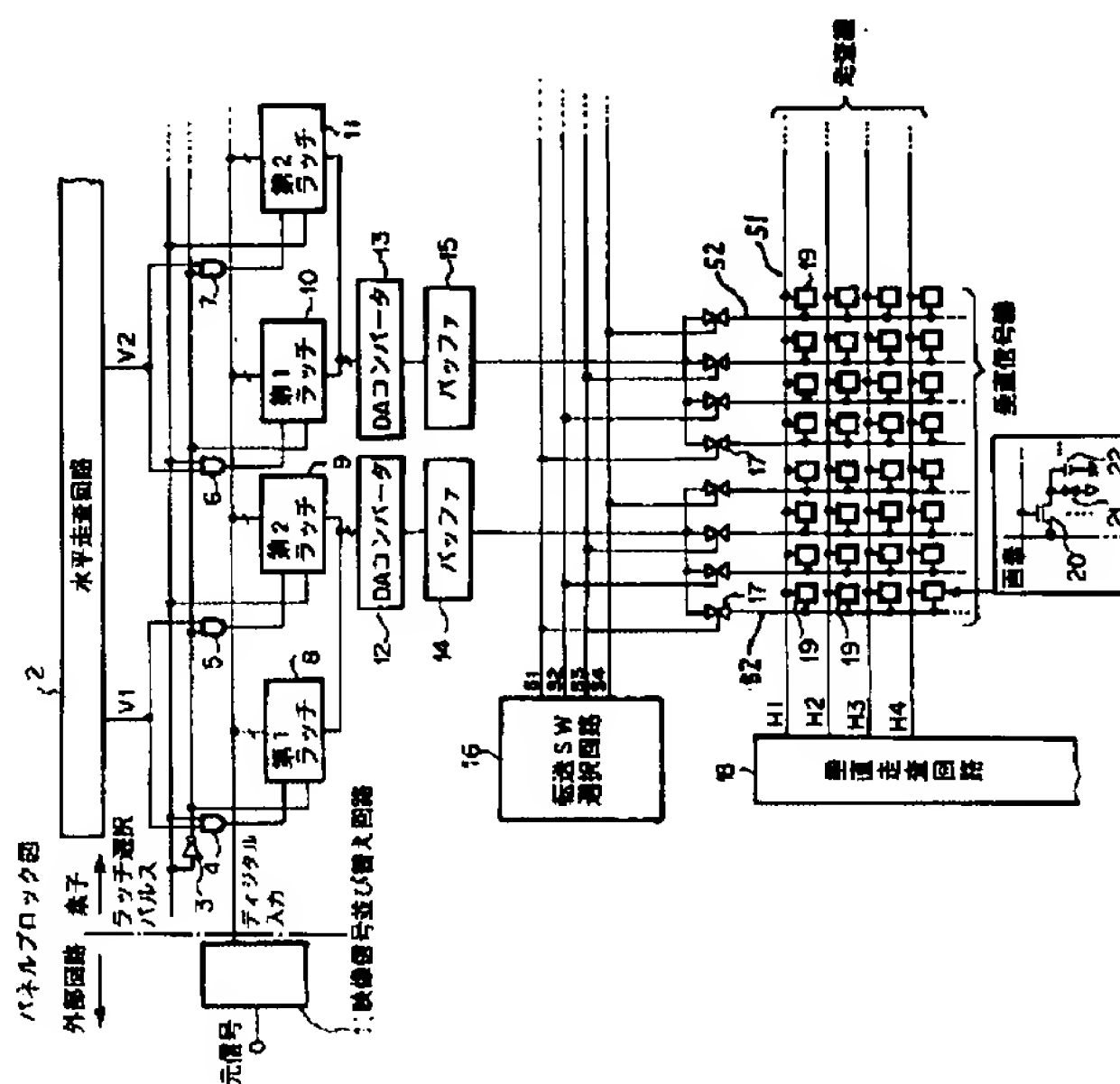
最終頁に続く

(54) 【発明の名称】 マトリクス基板と液晶装置とこれを用いた表示装置

(57) 【要約】

【課題】 液晶素子の駆動回路の部品点数を削減し、1チップ内に低消費電力でデジタルビデオ信号を高密度の液晶素子に表示することを課題とする。

【解決手段】 複数の走査線と複数の垂直信号線を有し、前記走査線と前記垂直信号線の交点にスイッチを介して画素電極が形成されている液晶装置において、映像信号がデジタル信号であり映像データを転送する水平走査回路と、前記水平走査回路の出力に同期して1画素分の前記映像データを記憶するデータラッチ回路と、前記データラッチ回路の出力をアナログ信号に変換するD/Aコンバータと、前記D/Aコンバータの出力に接続された複数の信号転送スイッチと、前記複数の転送スイッチのうち任意の1つを選択する手段とを有することを特徴とする。



【特許請求の範囲】

【請求項 1】 複数の走査線と複数の信号線との交点に対応してマトリクス状に設けられた複数のスイッチング素子、前記複数のスイッチング素子に接続された複数の画素電極、前記スイッチング素子に信号を入力するための水平方向回路及び前記複数の走査線を駆動する垂直方向回路とを有するマトリクス基板において、デジタル映像信号に基づく映像データをサンプリングする水平走査回路、前記水平走査回路からの出力に同期して前記データを記憶するラッチ回路、前記ラッチ回路からの出力をアナログ信号に変換する D/A コンバータ、前記 D/A コンバータと前記複数の信号線との間に配された複数の信号転送スイッチ、及び前記複数の信号転送スイッチから少なくとも一つを選択する選択回路とを有することを特徴とするマトリクス基板。

【請求項 2】 前記選択回路の出力毎に、前記信号線に前記アナログ信号を前記転送スイッチを介して供給する請求項 1 に記載のマトリクス基板。

【請求項 3】 前記 D/A コンバータの数は、前記水平方向に配されたスイッチング素子の数よりも少なく、一つの D/A コンバータから、前記水平方向に配された複数のスイッチング素子にアナログ信号が入力される請求項 1 又は 2 に記載のマトリクス基板。

【請求項 4】 前記選択回路は、シフトレジスタによって構成される請求項 1 又は 2、3 に記載のマトリクス基板。

【請求項 5】 前記スイッチング素子は、CMOS トランジスタで構成される請求項 1 乃至 4 のいずれか 1 項に記載のマトリクス基板。

【請求項 6】 前記映像データと共に信号極性反転信号を入力し、前記信号極性反転信号によって前記 D/A コンバータのアナログ出力の極性を反転させる手段を有する請求項 1 乃至 5 のいずれか 1 項に記載のマトリクス基板。

【請求項 7】 前記 D/A コンバータは、前記映像データのビット数よりも 1 ビット多いビット数の入力が可能であり、前記 D/A コンバータの最上位ビットに前記信号極性反転信号を入力する請求項 1 乃至 6 のいずれか 1 項に記載のマトリクス基板。

【請求項 8】 前記 D/A コンバータの出力を切り替え、出力先を少なくとも 2 つの前記信号転送スイッチ群に振り分けるスイッチを有する請求項 1 乃至 7 のいずれか 1 項に記載のマトリクス基板。

【請求項 9】 前記映像データを複数の分割して供給し、前記水平走査回路によりサンプリングを行う請求項 1 乃至 8 のいずれか 1 項に記載のマトリクス基板。

【請求項 10】 前記複数の分割された映像データを切り替える手段を有する請求項 9 に記載のマトリクス基板。

【請求項 11】 前記 D/A コンバータの出力を昇圧す

る昇圧回路を有する請求項 1 乃至 10 のいずれか 1 項に記載のマトリクス基板。

【請求項 12】 前記昇圧回路は、クランプ型のアンプからなる請求項 11 に記載のマトリクス基板。

【請求項 13】 前記 D/A コンバータは、上位ビットと下位ビットのデジタル信号をそれぞれデコードして直列に接続した抵抗素子中の一点を選択することにより、アナログ信号を得る請求項 1 乃至 10 のいずれか 1 項に記載のマトリクス基板。

10 【請求項 14】 抵抗分割に用いられる前記抵抗素子は、半導体基板中の拡散層を用いて構成され、前記上位ビットの抵抗素子を構成する拡散層の不純物濃度は、前記下位ビットの抵抗素子を構成する拡散層の不純物濃度よりも高いことを特徴とする請求項 13 に記載のマトリクス基板。

【請求項 15】 前記 D/A コンバータは、少なくとも 2 つのアナログバッファ回路と、該 2 つのバッファ回路のうち 1 つを選択する回路を有する請求項 1 乃至 14 のいずれか 1 項に記載のマトリクス基板。

20 【請求項 16】 前記 2 つのバッファ回路は、正極性用及び負極性用のものからなる請求項 15 に記載のマトリクス基板。

【請求項 17】 前記画素電極は、ケミカルメカニカルポリッシングを用いて研磨された請求項 1 乃至 16 のいずれか 1 項に記載のマトリクス基板。

30 【請求項 18】 複数の走査線と複数の信号線との交点に対応してマトリクス状に設けられた複数のスイッチング素子、前記複数のスイッチング素子に接続された複数の画素電極、前記スイッチング素子に信号を入力するための水平方向回路及び前記複数の走査線を駆動する垂直方向回路とを有するマトリクス基板と、前記マトリクス基板に対向する対向基板と、の間に液晶材料を配して構成される液晶装置において、

40 デジタル映像信号に基づく映像データをサンプリングする水平走査回路、前記水平走査回路からの出力に同期して前記データを記憶するラッチ回路、前記ラッチ回路からの出力をアナログ信号に変換する D/A コンバータ、前記 D/A コンバータの出力に接続された複数の信号転送スイッチと、前記複数の信号転送スイッチから少なくとも一つを選択する選択回路とを有することを特徴とする液晶装置。

【請求項 19】 前記選択回路の出力毎に、前記信号線に前記アナログ信号を前記転送スイッチを介して供給する請求項 18 に記載の液晶装置。

【請求項 20】 前記 D/A コンバータの数は、前記水平方向に配されたスイッチング素子の数よりも少なく、一つの D/A コンバータから、前記水平方向に配された複数のスイッチング素子にアナログ信号が入力される請求項 18 又は 19 に記載の液晶装置。

50 【請求項 21】 前記選択回路は、シフトレジスタによ

3

って構成される請求項18又は19、20に記載の液晶装置。

【請求項22】 前記スイッチング素子は、CMOSトランジスタで構成される請求項18乃至21のいずれか1項に記載の液晶装置。

【請求項23】 前記映像データと共に信号極性反転信号を入力し、前記信号極性反転信号によって前記D/Aコンバータのアナログ出力の極性を反転させる手段を有する請求項18乃至22のいずれか1項に記載の液晶装置。

【請求項24】 前記D/Aコンバータは、前記映像データのビット数よりも1ビット多いビット数の入力が可能であり、前記D/Aコンバータの最上位ビットに前記信号極性反転信号を入力する請求項18乃至23のいずれか1項に記載の液晶装置。

【請求項25】 前記D/Aコンバータの出力を切り替え、出力先を少なくとも2つの前記信号転送スイッチ群に振り分けるスイッチを有する請求項18乃至24のいずれか1項に記載の液晶装置。

【請求項26】 前記映像データを複数に分割して供給し、前記水平走査回路によりサンプリングを行う請求項25に記載の液晶装置。

【請求項27】 前記複数に分割された映像データを切り替える手段を有する請求項26に記載の液晶装置。

【請求項28】 前記D/Aコンバータの出力を昇圧する昇圧回路を有する請求項18乃至27のいずれか1項に記載の液晶装置。

【請求項29】 前記昇圧回路は、クランプ型のアンプからなる請求項28に記載の液晶装置。

【請求項30】 前記D/Aコンバータは、上位ビットと下位ビットのデジタル信号をそれぞれデコードして直列に接続した抵抗素子中の一点を選択することにより、アナログ信号を得る請求項18乃至29のいずれか1項に記載の液晶装置。

【請求項31】 抵抗分割に用いられる前記抵抗素子は、半導体基板中の拡散層を用いて構成され、前記上位ビットの抵抗素子を構成する拡散層の不純物濃度は、前記下位ビットの抵抗素子を構成する拡散層の不純物濃度よりも高い請求項30に記載の液晶装置。

【請求項32】 前記D/Aコンバータは、少なくとも2つのアナログバッファ回路と、該2つのバッファ回路のうち1つを選択する回路を有する請求項18乃至31のいずれか1項に記載の液晶装置。

【請求項33】 前記2つのバッファ回路は、正極性用及び負極性用のものからなる請求項32に記載の液晶装置。

【請求項34】 前記画素電極は、ケミカルメカニカルポリッシングを用いて研磨された請求項18乃至33のいずれか1項に記載の液晶装置。

【請求項35】 請求項18乃至34のいずれか1項に

4

記載の液晶装置を配して構成したことを特徴とする表示装置。

【請求項36】 前記液晶装置として反射型の液晶パネルを用い、光源から発せられた光を該液晶パネルに照射し、反射光を光学系を介してスクリーンに照射して画像を表示する請求項35に記載の表示装置。

【請求項37】 前記反射型の液晶パネルとして、第1、第2、第3の色画素の3つの色画素のうち第1、第2の色画素の組み合わせを第1方向に、該第1、第3の色画素の組み合わせを該第1方向と異なる第2方向に該第1の色画素を共有するように配置した画素ユニットを基板上に所定のピッチで2次元的に配列した画素ユニットアレイと、該第1方向と第2方向の2つの色画素のピッチを1ピッチとするマイクロレンズを複数個、該基板上の画素ユニットアレイ上に2次元的に配列したマイクロレンズアレイとを有する液晶パネルを使用する請求項36に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の走査線と信号線の交点に画素電極を有するマトリクス基板と、該マトリクス基板と液晶を用いて画像・文字などを表示する液晶装置及びこれを用いた表示装置に関する。特に、液晶素子を駆動する水平・垂直走査回路の内、垂直信号線にビデオ信号を供給する手段に特徴を有するマトリクス基板と、これを用いた液晶装置及びこの液晶装置を用いた表示装置に関する。

【0002】

【従来の技術】今日、世の中はマルチメディア時代に入り、画像情報でコミュニケーションを図る機器の重要性がますます高まりつつある。なかでも、液晶表示装置は、薄型で消費電力が小さいため注目されており、半導体にならぶ基幹産業にまで成長している。液晶表示装置は、現在、10インチサイズのノートサイズのパソコンに主に使用されている。そして、将来は、パソコンのみでなく、ワークステーションや家庭用のテレビとして、さらに画面サイズの大きい液晶表示装置が使用されると考えられる。しかし、画面サイズの大型化にともない、製造装置が高価になるばかりでなく、大画面を駆動するためには、電氣的に厳しい特性が要求される。このため、画面サイズの大型化とともに、製造コストがサイズの2～3乗に比例するなど急激に増加する。

【0003】そこで、最近、小型の液晶表示パネルを作製し、光学的に液晶画像を拡大して表示するプロジェクション（投影）方式が注目されている。これは、半導体の微細化にともない、性能やコストが良くなるスケーリング則と同様に、サイズを小さくして、特性を向上させ、同時に、低コスト化も図ることができるからである。これらの点から、液晶表示パネルをTFT型としたとき、小型で十分な駆動力を有するTFTが要求され、

5

TFTもアモルファスSiを用いたものから多結晶Siを用いたものに移行しつつある。通常のテレビに使われるNTSC規格などの解像度レベルの映像信号は、あまり高速の処理を必要としない。

【0004】このため、TFTのみでなく、シフトレジスタもしくはデコーダといった周辺駆動回路まで多結晶Siで製造して、表示領域と周辺駆動回路が一体構造になった液晶表示装置ができる。しかし、多結晶Siでも、単結晶Siにはおよばず、NTSC規格より解像度レベルの大きい高品位テレビや、コンピュータの解像度規格でいうXGA (eXtended Graphics Array)、SXGA (Super eXtended Graphics Array)クラスの表示を実現しようとする、シフトレジスタなどは複数に分割配置せざるを得ない。この場合、分割のつなぎ目に相当する表示領域にゴーストと呼ばれるノイズが発生し、その問題を解決する対策がこの分野では望まれている。また一方、多結晶Siの一体構造の表示装置より、駆動力が極めて高い単結晶Si基板を用いる表示装置も注目を集めている。この場合、周辺駆動回路のトランジスタの駆動力は申し分ないので、上述したような分割駆動をする必要はない。このため、表示装置と周辺駆動回路との接続線間等のS/Nが高くノイズの影響は小さく、ノイズなどの問題は解決できる。

【0005】これらの多結晶Siでも、単結晶Siでも、TFTのドレインと反射電極とを接続して、反射電極と透明な共通電極との間に液晶を挟持して、反射型液晶素子を組み込んだ反射型液晶装置が提供できる。

【0006】また、反射型液晶素子の各画素にビデオ信号を書き込んで表示させる走査回路も重要であり、その一例を図40に示して説明する。図40において、ディジタル画像信号は信号処理回路230によってD/Aコンバートされて、アナログ信号として液晶装置のチップに入力される。水平走査回路231から出力される制御信号は転送スイッチ234のゲートに入力され、該制御信号に応じて共通信号線238上のアナログ信号は、順次各垂直信号線232に導出される。垂直走査回路234は順次走査制御信号を走査線233に出力し、走査線233は液晶画素内のスイッチMOSトランジスタ235のゲートに接続され、そのソースは垂直信号線232に接続され、スイッチMOSトランジスタ235がオンすれば、垂直信号線232上のビデオ信号は液晶237にビデオ信号に応じた電界を与えて表示し、所定時間その付加容量236に電位を保持して、表示を保持する。

【0007】

【発明が解決しようとする課題】上記した従来技術には、以下に示す問題点があった。一般に画素への書き込みレートは非常に早く、アナログ信号は非常に高い高周波の信号となる。このため、転送スイッチは高速で転送を完了することが要求され、この高速化により転送スイッチのサイズが大きくなってしまふ。また、上記共通信

6

号線を外部回路と接続するためのパッドまでの配線も必要で、結果的に共通信号線の容量が非常に大きくなる。さらに、液晶表示素子ではアナログ映像信号の振幅は10V以上と非常に高い。このように大きな容量性負荷を大きな振幅で高速に駆動する必要があるため、外部駆動回路として非常に高い能力が要求され、消費電力も大きくなってしまふという問題点があった。その上、外部回路との接続にフレキシブルなケーブル等を用いた場合、そのケーブルの長さに比例してリアクタンス成分が付随するため、共通信号線の負荷容量が大きくなるほど信号のリンギングが大きくなってくる。このため、ケーブルの長さが制限され、機械的な自由度が減少するという問題点もあった。

【0008】一方、表示画素数が増した場合に、アクティブマトリクス基板のトランジスタに接続された信号線の駆動速度が遅くなるのに鑑みてなされた発明として、特開平2-216190号公報に開示されたものがある。

【0009】この公報に開示された発明は、信号線駆動用回路素子として、階調情報を持った複数ビットからなる信号を入力信号とすると共に、少なくともコンデンサとスイッチで構成され、複数ビットの信号を時間的に直列に入力するD/A変換器を有るものを用いるというものである。

【0010】これについて図41を用いて説明する。図41において、1030は、スイッチング素子として薄膜トランジスタ（不図示）を用いた液晶パネルであり、これには、駆動回路として信号線駆動回路1040と走査線駆動回路1050が接続されている。信号線駆動回路1040は、シフトレジスタ1041、ラッチ1042、スイッチドキャパシタからなる直列変換型のD/A変換機群1043、スイッチS1～Snから構成されている。ここに示した表示装置においては、1走査電極分の画像データがシフトレジスタ1041に入力されると、これらの画像データは、7ビット幅の画像データを保持するラッチ1042に転送され、保持される。ついで、これらの画像データはスイッチトキャパシタ・直列変換型D/A変換器群1043に入力される。D/A変換器群1043では、7ビット幅の画像データを各ビットずつ順次入力して、7回の変換をすることでデジタル信号からアナログ信号を出力する。つぎに、アナログ信号に変換された画像信号は、制御信号に応じてスイッチS1～Snをオン／オフして1ライン分一括して液晶パネル1030に供給され、一時的に液晶パネル1030内のキャパシタCnに蓄積され、走査線駆動回路1050からの走査線1032の1ラインずつのオン信号毎に、信号線1031との交差点に配置するスイッチをオンさせて液晶に信号線1031の信号電圧に応じた電界を加えて液晶表示する。

【0011】ここでは、デジタル信号を入力するため、

7

D/A変換器が用いられるが、この表示装置においては、D/A変換器がコンデンサ、スイッチ等を用いて構成されると共に、ビットデータを時間的に直列に入力してD/A変換を行うため、小さな回路規模で、高精度なD/A変換ができるとされている。

【0012】しかしながら、表示画素数の大きいXGA、SXGA対応等の液晶パネルにおいては、信号線にアナログ信号を入力するために、実際に液晶の表示領域の周辺部に信号線の数に応じた数のD/A変換器を設けることは、現実的ではないというのが実状である。

【0013】

【課題を解決するための手段】そこで、本発明は、上述のように種々の問題点を解決するべく、特に近年の映像信号がデジタル信号として供給される傾向にあることをも考慮に入れて、最適な信号処理と液晶駆動回路とを提供しようとするものである。

【0014】本発明は、複数の走査線と複数の信号線との交点に対応してマトリクス状に設けられた複数のスイッチング素子、前記複数のスイッチング素子に接続された複数の画素電極、前記スイッチング素子に信号を入力するための水平方向回路及び垂直方向回路とを有するマトリクス基板において、デジタル映像信号に基づく映像データをサンプリングする水平走査回路、前記水平走査回路からの出力に同期して前記データを記憶するラッチ回路、前記ラッチ回路からの出力をアナログ信号に変換するD/Aコンバータ、前記D/Aコンバータと前記複数の信号線との間に配された複数の信号転送スイッチ、及び前記複数の信号転送スイッチから少なくとも一つを選択する選択回路とを有することを特徴とするマトリクス基板を提供することにある。

【0015】また、本発明は、複数の走査線と複数の信号線との交点に対応してマトリクス状に設けられた複数のスイッチング素子、前記複数のスイッチング素子に接続された複数の画素電極、前記スイッチング素子に信号を入力するための水平方向回路及び垂直方向回路とを有するマトリクス基板と、前記マトリクス基板に対向する対向基板と、の間に液晶材料を配して構成される液晶装置において、デジタル映像信号に基づく映像データをサンプリングする水平走査回路、前記水平走査回路からの出力に同期して前記データを記憶するラッチ回路、前記ラッチ回路からの出力をアナログ信号に変換するD/Aコンバータ、前記D/Aコンバータの出力に接続された複数の信号転送スイッチと、前記複数の信号転送スイッチから少なくとも一つを選択する選択回路とを有することを特徴とする液晶装置を提供することにある。

【0016】本発明の液晶装置によれば、外部駆動回路の部品点数を削減でき、アナログ入力の液晶装置のように直接液晶素子をドライブするよりもデジタル入力とすることで映像信号線の負荷を小さくすることができる。さらに、D/Aコンバータ1ヶ当たりの負荷も小さくで

8

きると共に液晶画素への書き込み時間を長くすることができるので駆動周波数を低くすることが可能となる。これにより液晶装置全体として低消費電力となり、且つ低消費電力ゆえに高精細化が容易となる。これに加えてノイズの影響さえ少なく、高画質化が可能となる。

【0017】さらに、本発明によれば、上記反射型の液晶パネルとして、第1、第2、第3の色画素の3つの色画素のうち第1、第2の色画素の組み合わせを第1方向に、該第1、第3の色画素の組み合わせを該第1方向と異なる第2方向に該第1の色画素を共有するように配置した画素ユニットを基板上に所定のピッチで2次元的に配列した画素ユニットアレイと、該第1方向と第2方向の2つの色画素のピッチを1ピッチとするマイクロレンズを複数個、該基板上の画素ユニットアレイ上に2次元的に配列したマイクロレンズアレイとを有する液晶パネルを使用することを特徴とする表示装置を提供することにある。

【0018】

【発明の実施の形態】

20 [第1の実施形態] 図1は本発明に係る第1の実施形態を示す等価回路図である。本実施形態では、水平走査回路2から出力される複数の垂直信号線52と垂直走査回路18から出力される複数の走査線51を有し、垂直信号線52と走査線51の交点に画素19内のスイッチを介して画素電極が形成されている。また走査線51(H1～H4)…は垂直走査回路(シフトレジスタ)18に接続されている。さらに、映像信号をデータラッチ回路8～11…に転送する水平走査回路(シフトレジスタ)2と、水平走査回路2の出力に同期して映像信号を記憶するデータラッチ回路8～11…と、データラッチ回路8～11…の出力をアナログの映像信号に変換するD/Aコンバータ12、13とを有し、このD/Aコンバータ12、13の出力が出力バッファ回路14、15と信号転送スイッチ17を介して垂直信号線52に接続されている。ここで、出力バッファ回路14、15は、必ずしも設けなくても良い。転送スイッチ17の制御は、例えばシフトレジスタで構成された転送スイッチ選択回路16によって行われ、水平走査回路2の動作と同期して駆動される。これ以外に転送スイッチ選択回路16は、

40 デコーダ回路でも構成することができる。また、3はインバータ、4～7はAND回路、19は液晶素子からなる画素であり、液晶素子の画素19は、スイッチングMOSトランジスタ20と、液晶21と、付加容量22とにより1画素を構成している。

【0019】本実施形態では、D/Aコンバータ12、13の数は水平方向の画素数よりも少ない数になっている。ここでは、D/Aコンバータ12、13の数は水平方向の画素数の1/4の場合を示している。D/Aコンバータ12、13の出力はバッファ14、15を介して、転送SW選択回路16の出力S1～S4の制御によ

って、それぞれ4個のスイッチ17をオン／オフされ、各液晶素子19に供給される。このため、映像信号は4画素ずつ飛び越したデータが入力される必要があり、外部の駆動回路として映像信号のデータを画素単位で並べ替える手段1を有し、概念的には図2に示すようにデータを並べ替える必要がある。画素毎の信号に対応した元信号が、時系列的に1～16として入力された場合、映像信号並べ替え回路1の出力は4つ毎に並べ替えられ、下段に示す画素毎の画素番号順となる。

【0020】またD/Aコンバータ12、13の数はパネルサイズ、回路ブロックの面積、D/Aコンバータ12、13の駆動限界周波数、消費電力等を考慮し、設計者が任意に設定できる。本実施形態では1つのD/Aコンバータ12、13にデータラッチ回路8～11が2系統あり、ラッチ選択（セレクト）パルスがインバータ3とAND回路4～7を介されて水平走査回路2の出力V1、V2と論理積をとられることによって、2つのうち任意の1つを選択できる。

【0021】以下、本実施形態の動作について、図3のタイミング図に従い説明する。図3において、まず第1の水平走査期間にはラッチセレクトパルスをhighとして、水平走査回路2の出力に同期して、デジタルの映像データが第1のデータラッチ回路8、10に順次転送される。次の水平走査期間ではラッチセレクトパルスをlowとして、第2のデータラッチ回路9、11にデータが転送され、同時に第1のデータラッチ回路8、10の出力がイネーブル状態となり、出力がD/Aコンバータ12、13に入力され、映像信号をアナログ信号に変換する。そして転送スイッチ選択手段16によって、転送スイッチ17のうち1つをオン状態（S1をhigh）とし、このバッファ14を介したアナログ信号を垂直信号線に転送する。結果的にD/Aコンバータ12、13の数と同数の液晶画素へ、映像信号書き込みが同時に行われる。このためD/Aコンバータ12、13の動作速度としては、1回の水平走査と同等の期間に応答すればよい。さらには転送時間が長いため、信号転送スイッチ17のサイズも従来のアナログ入力方式に比べ小さくすみ、なおかつアナログ入力方式における共通信号線分の負荷がなく、アナログで駆動すべき負荷が非常に小さくなる。

【0022】そして第3の水平走査期間では、再び第1のデータラッチ回路にデータを転送し、同時に第2のデータラッチ回路に保持されたデータが画素へ書き込まれる（S2をhigh）。この走査を、繰り返し行い、同時に1つの走査線をオン状態としておき所望の画素に映像信号を書き込み、1ライン分の表示となる。以下全てのラインについて順次同様の書き込みを行い、1画面分の表示となる。

【0023】以上の説明から明らかなように、本発明によれば、D/Aコンバータ1ケにつきデータラッチ回路

を2系統設けていて、データラッチへのデジタル画素データ転送と信号線へのアナログ画像データ転送をそれぞれ水平走査回路と転送スイッチ選択回路で独立に行えるため、タイミング上データの書き込みと読み出しが同時にできる長所があり、D/Aコンバータの動作周波数を低くできる。このことは、液晶表示素子の高精細化を進める上でも非常に有利である。また、D/Aコンバータを素子に内蔵したことにより、外部の駆動回路の規模を縮小することができる。一般的にアナログ映像信号の振幅は10V以上と非常に大きいため、アナログで駆動する負荷がより小さい方が、消費電力の上で有利である。本実施形態では、アナログで駆動する負荷が従来のアナログ入力方式に比べ非常に小さくすみ、外部駆動回路を含めた全体での低消費電力化が可能となる。そして、映像信号の転送は、素子内のD/Aコンバータの直前までデジタルで行われるため、信号の減衰があっても信号の品質を一定に保たれ、ノイズの影響が少なく、高画質化が可能である。

【0024】〔第2の実施形態〕図4は本発明に係る第2の実施形態を示す等価回路図である。図は、第1の実施形態のD/Aコンバータ部のみを取り出したものであり、映像信号の極性反転を容易に実行できる例を示す。図において、MSBとはアナログ出力の最大値となる基準電圧であり、LSBとはアナログ出力の最小値となる基準電圧である。液晶表示素子では、長時間液晶に直流電圧を印加し続けると、液晶が劣化し、焼き付きが発生する。このため、映像信号を一定周期毎に反転させる交流駆動を行うのが一般的である。本実施形態では、デジタルの映像信号とは別に信号極性を反転する信号を液晶表示素子に与え、これに同期して映像信号の極性を反転させる。なおここでは信号極性を反転するために、D/Aコンバータの基準電圧を変化させている。

【0025】以下本実施形態の動作について説明する。正極性の信号を書き込む期間では、D/Aコンバータの基準電圧を図4に示したように、INVをhighとしてMSBがV_{hm}、LSBがV_{hl}になり、D/Aコンバータの出力は、V_{hm}～V_{hl}のダイナミックレンジとなる。次に負極性の信号を書き込む期間では、D/Aコンバータの基準電圧を図4に示したように、INVをlowとしてMSBがV_{lm}、LSBがV_{ll}になり、D/Aコンバータの出力は、V_{lm}～V_{ll}のダイナミックレンジとなる。以上により映像信号の極性反転が可能となる。この極性反転回路を用いることで、デジタルの映像信号とは別に信号極性を反転する信号を液晶表示素子に与え、これに同期して映像信号の極性を反転させて、液晶の劣化を防止し、その焼き付きを簡易に防止できる。

【0026】〔第3実施形態〕図5は本発明に係る第3の実施形態を示した等価回路図である。図は、第1の実施形態のD/Aコンバータ部のみを取り出したものであ

る。本実施形態では映像信号のビット数よりも1ビット多いD/Aコンバータによって極性反転を行う。また、INV信号によってデジタル信号を反転させるためのEX-OR（排他的論理和）回路を含んでいる。図5では、映像信号が3ビットであり、D/Aコンバータが4ビットの場合を示している。なおD/Aコンバータのデジタル入力のうち、最上位ビットに極性反転パルスINVを入力し、INVの反転出力が映像信号の3ビットと共にEX-ORに入力され、その出力がD/Aコンバータの下位ビット段に入力されている。また、D/Aコンバータの最大値Vmと最小値Vlとが供給されている。

【0027】以下、本実施形態の動作について説明する。INVがhighのときは、D/Aコンバータの出力は図の下段に示したように、 $V_m \sim (V_m + V_l) / 2$ のダイナミックレンジとなり、INVがlowのときは、D/Aコンバータの出力は図に示したように、 $(V_m + V_l) / 2 \sim V_l$ のダイナミックレンジとなる。ここで液晶に加わる電圧は、液晶素子の各画素電極と共通電極電位（中心電位）との差になるため、INVがlowのときは映像信号を論理反転する必要がある、INVパルスとのEX-ORをとっている。以上により映像信号の極性反転を実現している。本極性反転回路を用いても、第3の実施形態で示した場合と同様に、信号極性を反転する信号を液晶表示素子に与え、これに同期して映像信号の極性を反転させて供給駆動することで、液晶の劣化を防止し、その焼き付きを簡易に防止できる。

【0028】〔第4の実施形態〕本発明による第4の実施形態について、上述の液晶駆動回路を含めた液晶パネルを用いた液晶表示装置につき、図面を参照しつつ、詳細に説明する。本発明は、ここに示した形態に限定されるものではない。相互の形態の技術を組み合わせることによって効果が増大することはいうまでもない。また、液晶パネルの構造は、半導体基板を用いたもので記述しているが、必ずしも半導体基板に限定されるものではなく、通常の透明基板上に以下に記述する構造体を形成してもいい。また、以下に記述する液晶パネルは、画素スイッチがすべてMOSFETやTFETで構成されたものであるが、画素スイッチは、ダイオード型などの2端子型であってもいい。さらに、以下に記述する液晶パネルは、家庭用テレビはもちろん、プロジェクタ、ヘッドマウントディスプレイ、3次元映像ゲーム機器、ラップトップコンピュータ、電子手帳、テレビ会議システム、カーナビゲーション、飛行機のパネルなどの表示装置として有効である。

【0029】本実施形態の液晶パネル部の断面を図6に示す。図において、301は半導体基板、302、302'はそれぞれp型及びn型ウェル、303、303'、303''はトランジスタのソース領域、304はゲート領域、305、305'、305''はドレイン領

域である。

【0030】図6に示すように、表示領域のトランジスタは、20～35Vという高耐圧が印加されるため、ゲート304に対して、自己整合的にソース、ドレイン層が形成されず、オフセットをもたせ、その間にソース領域303'、ドレイン領域305'に示す如く、pウェル中の低濃度のn⁻層、nウェル中の低濃度のp⁻層が設けられる。ちなみにオフセット量は0.5～2.0μmが好適である。一方、周辺回路の一部の回路部が図6の左側に示されているが、周辺部の一部の回路は、ゲートに自己整合的にソース、ドレイン層が形成されている。

【0031】ここでは、ソース、ドレインのオフセットについて述べたが、それらの有無だけでなく、オフセット量をそれぞれの耐圧に応じて変化させたり、ゲート長の最適化が有効である。これは、周辺回路の一部は、ロジック系回路であり、この部分は、一般に1.5～5V系駆動でよいから、トランジスタサイズの縮小及び、トランジスタの駆動力向上のため、上記自己整合構造が設けられている。本基板301は、p型半導体からなり、基板は、最低電位（通常は、接地電位）であり、n型ウェルは、表示領域の場合、画素に印加する電圧すなわち20～35Vがかかり、一方、周辺回路のロジック部は、ロジック駆動電圧1.5～5Vが印加される。この構造により、それぞれ電圧に応じた最適なデバイスを構成でき、チップサイズの縮小のみならず、駆動スピードの向上による高画素表示が実現可能になる。

【0032】また、図6において、306はフィールド酸化膜、310はデータ配線につながるソース電極、311は画素電極につながるドレイン電極、312は反射鏡を兼ねる画素電極、307は表示領域、周辺領域を覆う遮光層で、Ti、TiN、W、Mo等が適している。図6に示すように、上記遮光層307は、表示領域では、画素電極312とドレイン電極311との接続部を除いて覆われているが、周辺画素領域では、一部ビデオ線、クロック線等、配線容量が重くなる領域は、上記遮光層307をのぞき、高速信号が上記遮光層307ののぞかれた部分は照明光の光が混入し、回路の誤動作を起こす場合は画素電極312の層をおおう設計になっている転送可能な工夫がなされている。308は遮光層307の下部の絶縁層で、P-SiO層318上にSOGにより平坦化処理を施し、そのP-SiO層318をさらに、P-SiO層308でカバーし、絶縁層308の安定性を確保した。SOGによる平坦化以外に、P-TEOS（Phospho-Tetraethoxy-Silane）膜を形成し、さらにP-SiO層318をカバーした後、絶縁層308をCMP処理し、平坦化する方法を用いても良い事は言うまでもない。

【0033】また、309は反射電極312と遮光層307との間に設けられた絶縁層で、この絶縁層309を

介して反射電極312の電荷保持容量となっている。大容量形成のために、 SiO_2 以外に、高誘電率の P-SiN 、 Ta_2O_5 、や SiO_2 との積層膜等が有効である。遮光層307に Ti 、 TiN 、 Mo 、 W 等の平坦なメタル上に設ける事により、500~5000オングストローム程度の膜厚が好適である。

【0034】さらに、314は液晶材料、315は共通透明電極、316は対向基板、317、317'は高濃度不純物領域、319は表示領域、320は反射防止膜である。

【0035】図6に示すように、トランジスタ下部に形成されたウェル302、302'と同一極性の高濃度不純物層317、317'は、ウェル302、302'の周辺部及び内容に形成されており、高振幅な信号がソースに印加されても、ウェル電位は、低抵抗層で所望の電位に固定されているため、安定しており、高品質な画像表示が実現できた。さらにn型ウェル302'とp型ウェル302との間には、フィールド酸化膜を介して上記高濃度不純物層317、317'が設けられており、通常MOSトランジスタの時に使用されるフィールド酸化膜直下のチャネルストップ層を不要にしている。

【0036】これらの高濃度不純物層317、317'は、ソース、ドレイン層形成プロセスで同時にできるので作製プロセスにおけるマスク枚数、工数が削減され、低コスト化が図れた。

【0037】次に、313は共通透明電極315と対向基板316との間に設けられた反射防止用膜で、界面の液晶の屈折率を考慮して、界面反射率が軽減されるように構成される。その場合、対向基板316と、透過電極315の屈折率よりも小さい絶縁膜が好適である。

【0038】次に、本実施形態の回路図を図7に示す。図7においては、垂直信号線に信号を供給する水平方向走査回路は、図1に示されたものと同様のものが用いられているが、図1との違いは、DAコンバータ12から出力されるアナログ信号が、バッファ回路を通らずに、信号転送スイッチ17に供給される点である。その他については、図1に示したものと同様であるので、ここでは、DAコンバータ12、転送スイッチ選択回路16、信号転送スイッチ17、以外は省略した。また、322は垂直シフトレジスタ(VSR)、323はnチャンネルMOSFET、324はpチャンネルMOSFET、325は保持容量、326は液晶層、327は信号転送スイッチ、328はリセットスイッチ、329はリセットパルス入力端子、330はリセット電源端子、331は映像信号の入力端子である。また、319は表示領域を示している。また半導体基板301は図6ではp型になっているが、n型でもよい。

【0039】図6に示すように、ウェル領域302'は、半導体基板301と反対の導電型にする。このため、図6では、ウェル領域302はp型になっている。

p型のウェル領域302及びn型のウェル領域302'は、半導体基板301よりも高濃度に不純物が注入されていることが望ましく、半導体基板301の不純物濃度が $10^{14} \sim 10^{15} (\text{cm}^{-3})$ のとき、ウェル領域302の不純物濃度は $10^{15} \sim 10^{17} (\text{cm}^{-3})$ が望ましい。

【0040】ソース電極310は、表示用信号が送られてくるデータ配線に、ドレイン電極311は画素電極312に接続する。これらの電極310、311には、通常 Al 、 AlSi 、 AlSiCu 、 AlGeCu 、 AlCu 配線を用いる。これらの電極310、311の下部と半導体との接触面に、 Ti と TiN からなるバリアメタル層を用いると、コンタクトが安定に実現できる。またコンタクト抵抗も低減できる。画素電極312は、表面が平坦で、高反射材が望ましく、通常の配線用金属である Al 、 AlSi 、 AlSiCu 、 AlGeCu 、 AlC 以外に Cr 、 Au 、 Ag などの材料を使用することが可能である。また、平坦性の向上のため、下地絶縁層309や画素電極312の表面をケミカルメカニカルポリッシング(CMP)法によって処理している。

【0041】図7に示す保持容量325は、画素電極312と共通透明電極315の間の信号を保持するための容量である。ウェル領域302には、基板電位を印加する。本実施形態では、各行のトランスマッションゲート構成を、上から1行目は上がnチャンネルMOSFET323で、下がpチャンネルMOSFET324、2行目は上がpチャンネルMOSFET324で、下がnチャンネルMOSFET323とするように、隣り合う行で順序を入れ換える構成にしている。以上のように、ストライプ型ウェルで表示領域の周辺で電源線とコンタクトしているだけでなく、表示領域にも、細い電源ラインを設けコンタクトをとっている。

【0042】この時、ウェルの抵抗の安定化がカギになる。したがって、p型基板であれば、nウェルの表示領域内部でのコンタクト面積又はコンタクト数をpウェルのコンタクトより増強する構成を採用した。pウェルは、p型基板で一定電位がとられているため、基板が低抵抗体としての役割を演ずる。したがって、島状になるnウェルのソース、ドレインへの信号の入出力による振られの影響が大きくなりやすいが、それを上部の配線層からのコンタクトを増強することで防止できた。これにより、安定した高品位な表示が実現できた。

【0043】映像信号は、図1に示したのと同様にして垂直信号線に供給される。垂直シフトレジスタ322からは、選択した行のnチャンネルMOSFET323のゲートへはハイパルス、pチャンネルMOSFETのゲートへはローパルスを印加する。

【0044】以上のように、画素部のスイッチは、単結晶のCMOSトランスマッションゲートで構成されており、画素電極へ書き込む信号が、MOSFETのしきい値に依存せず、ソースの信号をフルに書き込める利点を

有する。

【0045】又、スイッチが、単結晶トランジスタから成り立っており、polysilicon-TFTの結晶粒界での不安定な振まい等がなく、バラツキのない高信頼性な高速駆動が実現できる。

【0046】次に、ビデオ信号と、サンプリングパルスの同期を正確にとる方向について図8を用いて説明する。このためには、サンプリングパルスのdelay量を変化させる必要がある。342はパルスdelay用インバータ、343はどのdelay用インバータを選択するかを決めるスイッチ、344はdelay量が制御された出力、345は容量であり、出力344のうち、out Bは入力位相に対して逆相出力、outは同相出力である。また、346は保護回路である。

【0047】SEL1 (SEL1B) からSEL3 (SEL3B) の組み合わせにより、delay用インバータ342を何個通過するかを選択でき、選択によって遅延時間を調節できる。

【0048】この同期回路がパネルに内蔵していることにより、パネル外部からのパルスのdelay量が、R、G、B3板パネルのとき、治具等の関係で対称性がくずれても、上記選択スイッチで調整でき、R、G、Bのパルス位相高域による位置ずれがない良好な表示画像が得られた。又、パネル内部に温度測定ダイオードを内蔵させ、その出力によりdelay量をテーブルから参照し温度補正することも有効である事は言うまでもない。

【0049】次に、液晶材との関係について説明する。図6では、平坦な対向基板構造のものを示したが、共通電極基板316は、共通透明電極315の界面反射を防ぐため、凹凸を形成し、その表面に共通透明電極315を設けている。また、共通電極基板316の反対側には、反射防止膜320を設けている。これらの凹凸形状の形成のために、微少な粒径の砥粒により砂ずり研磨をおこなう方式も高コントラスト化に有効である。

【0050】液晶材料としては、ポリマー・ネットワーク液晶PNLCを用いた。ただし、ポリマー・ネットワーク液晶として、PDLCなどを用いてもいい。ポリマー・ネットワーク液晶PNLCは、重合相分離法によって作製される。液晶と重合性モノマーやオリゴマーで溶液をつくり、通常の方法でセル中に注入した後、UV重合によって液晶と高分子を相分離させ、液晶中に網目状に高分子を形成する。PNLCは多くの液晶(70~90wt%)を含有している。

【0051】PNLCにおいては、屈折率の異方性(Δn)の高いネマチック液晶を用いると光散乱が強くない、誘電異方性($\Delta \epsilon$)の大きいネマチック液晶を用いると低電圧で駆動が可能となる。ポリマー・ネットワークのおおきさ、すなわち網目の中心間距離が1~1.5(μm)の場合、光散乱は高コントラストを得るのに十

分強くなる。

【0052】次に、シール構造と、パネル構造との関係について、図9を用いて説明する。図9において、351はシール部、352は電極パッド、353はクロックバッファ回路であり、不図示のアンプ部がある。このアンプ部は、パネル電気検査時の出力アンプとして使用するものである。また対向基板の電位をとる不図示のAgペースト部があり、また356は液晶素子による表示部、357は水平・垂直シフトレジスタ(SR)等の周辺回路部である。シール部351は表示部356の四方周辺に半導体基板301上に画素電極312を設けたものと共通電極315を備えたガラス基板との張り合わせのための圧着材や接着剤の接触領域を示し、シール部351で張り合わせた後に、表示部356とシフトレジスタ部357に液晶を封入する。

【0053】図9に示すように、本実施形態では、シールの内部にも、外部にも、total chip sizeが小さくなるように、回路が設けられている。本実施形態では、パッドの引き出しをパネルの片辺側の1つに集中させているが、長辺側の両辺でも又、一辺でなく多辺からのとり出しも可能で、高速クロックをとり扱うときに有効である。

【0054】さらに、本実施形態では、Si基板等の半導体基板を用いているため、プロジェクタのように強力な光が照射され、基板の側壁にも光があたると、基板電位が変動し、パネルの誤動作を引き起こす可能性がある。したがって、パネルの側壁及び、パネル上面の表示領域の周辺回路部は、遮光できる基板ホルダーとなっており、又、Si基板の裏面は、熱伝導率の高い接着剤を介して熱伝導率の高いCu等のメタルが接続されたホルダー構造となっている。

【0055】次に、上述の反射電極構造及びその作製方法について述べる。本実施形態の完全平坦化反射電極構造は、メタルをパターニングしてから、研磨する通常の方法とは異なり、電極パターンのところにあらかじめ、溝のエッチングをしておき、そこにメタルを成膜し、電極パターンが成形されない領域上のメタルを研磨でとり除くとともに、電極パターン上のメタルも平坦化する方法である。しかも、配線の幅が配線以外の領域よりも極めて広く、従来のエッチング装置の常識では、下記問題が発生し、本実施形態の構造体は作製できない。

【0056】つまり、エッチングすると、エッチング中にポリマーが堆積し、パターニングができなくなるのである。このポリマーはレジストがスパッタされたりエッチング材料によったり、ガスそのもの等から生成されると思われる。

【0057】そこで、酸化膜系エッチング(CF_4/CHF_3 系)において、条件を変えてみた。その結果を図10に示す。図10(a)はtotal圧力が1.7torr時の特性図、図10(b)はtotal圧力が1.0

torr時の特性図である。

【0058】図10(a)の条件で、デポジション性のガス CHF_3 をへらすと、たしかにポリマーの堆積は、減少するが、レジストに近いパターンと遠いパターンでの寸法の違い（ローティング効果）がきわめて大きくなり、使用できない事がわかる。

【0059】本発明者は、実験を重ねた結果、ローティング効果をおさえるため、徐々に圧力を下げていくと、1 torr以下になるとローティング効果がかなり抑制され、かつデポジション性のガス CHF_3 をゼロにし、 CF_4 のみによるエッチングが有効であることを見出した。

【0060】さらに、画素電極領域は、ほとんどレジストが存在せず、周辺部にはレジストでしめられている。このような構造体を形成するのは難しく、構造として、画素電極と同等の周辺領域の空き電極とその形状を表示領域の周辺部まで設けることが有効であることがわかった。

【0061】本構造にすることにより、従来あった表示部と周辺部もしくはシール部との段差もなくなり、ギャップ精度が高くなり、面内均一性が高くなるだけでなく、液晶の注入時のムラもへり、高品位の画質が歩留りよくできる効果が得られた。

【0062】次に、本実施形態の反射型液晶パネルを組み込む光学システムについて、図11を用いて説明する。図11において、371はハロゲンランプ等の光源、372は光源像をしぼり込む集光レンズ、373、375は平面状の凸型フレネルレンズ、374はR、G、Bに分解する色分解光学素子で、ダイクロイックミラー、回折格子等が有効である。

【0063】また、376はR、G、B光に分離されたそれぞれの光をR、G、B3パネルに導くそれぞれのミラー、377は集光ビームを反射型液晶パネルに平行光で照明するための視野レンズ、378は上述の反射型液晶素子、379の位置にしぼりがある。また、380は複数のレンズを組み合わせで拡大する投射レンズ、381はスクリーンで、通常、投射光を平行光へ変換するフレネルレンズと上下、左右に広視野角として表示するレンチキュラレンズの2板より構成されると明瞭な高コントラストで明るい画像を得ることができる。図11の構成では、1色のパネルのみ記載されているが、色分解光学素子374からしぼり部379の間は3色それぞれに分離されており、3板パネルが配置されている。又、反射型液晶装置パネル表面にマイクロレンズアレーを設け、異なる入射光を異なる画素領域に照射させる配置をとることにより、3板のみならず、単板構成でも可能であることは言うまでもない。液晶素子の液晶層に電圧が印加され、各画素で正反射した光は、379に示すしぼり部を透過しスクリーン上に投射される。

【0064】一方、電圧が印加されずに、液晶層が散乱

体となっている時、反射型液晶素子へ入射した光は、等方的に散乱し、379に示す絞りの開口を見込む角度の中の散乱光以外は、投射レンズには入らない。これにより黒を表示する。以上の光学系からわかるように、偏光板が不要で、しかも画素電極の全面が信号光が高反射率で投射レンズにはいるため、従来よりも2-3倍明るい表示が実現できた。上述の実施形態でも述べたように、対向基板表面、界面には、反射防止対策が施されており、ノイズ光成分も極めて少なく、高コントラスト表示が実現できた。又、パネルサイズが小さくできるため、すべての光学素子（レンズ、ミラー等）が小型化され、低コスト、軽量化が達成された。

【0065】又、光源の色ムラ、輝度ムラ、変動は、光源と光学系との間にインテグレタ（はえの目レンズ型ロッド型）を挿入することにより、スクリーン上での色ムラ、輝度ムラは、解決できた。

【0066】上記液晶パネル以外の周辺電気回路について、図12を用いて説明する。図において、385は電源で、主にランプ用電源とパネルや信号処理回路駆動用システム電源に分離される。386はプラグ、387はランプ温度検出器で、ランプの温度の異常があれば、制御ボード388によりランプを停止させる等の制御を行う。これは、ランプに限らず、389のフィルタ安全スイッチでも同様に制御される。たとえば、高温ランプハウスのボックスを開けようとした場合、ボックスがあかなくなるような安全上の対策が施されている。390はスピーカー、391は音声ボードで、要求に応じて3Dサウンド、サラウンドサウンド等のプロセッサも内蔵できる。392は拡張ボード1で、ビデオ信号用S端子、ビデオ信号用コンポジット映像、音声等の外部装置396からの入力端子及びどの信号を選択するかを選択スイッチ395、チューナ394からなり、デコード393を介して拡張ボード2へ信号が送られる。一方、拡張ボード2は、おもに、別系列からのビデオやコンピュータのDsub 15ピン端子を有し、デコード393からのビデオ信号と切り換えるスイッチ450を介して、A/Dコンバータ451でデジタル信号に変換される。

【0067】また、453は主にビデオRAM等のメモリとCPUとからなるメインボードである。A/Dコンバータ451でA/D変換したNTSC信号は、一端メモリに蓄積され、高画素数へうまく割りあてるために、液晶素子数にマッチしていない空き素子の不足の信号を補間して作成したり、液晶表示素子に適したγ変換エッジ階調、ブライト調整バイアス調整等の信号処理を行う。NTSC信号でなく、コンピュータ信号も、たとえばVGAの信号がくれば、高解像度のXGAパネルの場合、その解像度変換処理も行う。一画像データだけでなく、複数の画像データのNTSC信号にコンピュータ信号を合成させる等の処理もこのメインボード453で行う。

【0068】メインボード453の出力はパラレル／シリアル変換され、ノイズの影響を受けにくい形態でヘッドボード454に充られる。このヘッドボード454で、再度シリアル／パラレル変換後、B、G、R色の液晶パネル455、456、457へ信号を書き込む。452はリモコン操作パネルで、コンピュータ画面も、TVと同様の感覚で、簡単操作可能となっている。また、液晶パネル455、456、457の夫々は、各色の色フィルタを備えた同一の液晶装置構成であり、その水平・垂直走査回路は第1～第5実施形態で説明したものを適用する。各液晶装置は以上の説明のように、必ずしも高解像度がない画像も処理により高品位画像化になるため、本実施形態では、きわめてきれいな画像表示が可能である。

【0069】本発明においては、液晶装置の画素電極をケミカルメカニカルポリッシング（CMP：Chemical Mechanical Polishing）を用いて研磨することも可能である。ケミカルメカニカルポリッシングを用いると画素電極が極めて平坦（鏡面）に仕上がるので都合が良い。本発明においては、先に本出願人が出願した特願平8-178711号に開示した技術を適用することができる。特願平8-178711号出願は、以下の不都合に鑑みてなされたものである。即ち、液晶画素の画素電極に光が入射すると、表面の凹凸によって入射光が四方八方に散乱され、光の反射効率が非常に小さくなる。この表面凹凸は液晶実装工程の配向膜ラビング工程において、配向不良の原因となる。その結果、液晶の配向不良を引き起こし、コントラストの低下により表示画像の画質が悪化する。

【0070】また、各画素電極間の溝の部分はラビングされないため、液晶配向不良の原因になると同時に、表面凹凸と相俟って、画素電極間の横方向電界を発生し、輝線の原因となる。この輝線の発生は、表示画像のコントラストを悪化させる。

【0071】上記の出願は、ケミカルメカニカルポリッシング（Chemical Mechanical Polishing）により、画素電極表面を研磨するというものでこれによると該画素電極表面が鏡面状に平滑に形成されると同時に、全画素電極表面を同一平面に形成することができる。さらに、絶縁層を形成した上に画素電極層を形成、或いは、ホールを形成した画素電極層上に絶縁層を成膜し、上記研磨工程を行なうことにより、画素電極間が絶縁層により良好に埋められ、完全に凹凸がなくなる。よって、該凹凸によって生じた乱反射や配向不良が防止され、高画質な画像表示が可能となる。

【0072】図13及び図14を用いてこの技術について説明する。図13及び図14は、反射型の液晶装置に適用されるアクティブマトリクス基板の画素部を示しているが、画素部形成工程と同時に、画素部のスイッチング

駆動回路も同一基板上に形成することができる。

【0073】以下、順を追って製造プロセスについて説明する。

【0074】不純物濃度が 10^{15} cm^{-3} 以下であるn形シリコン半導体基板201を部分熱酸化し、LOCOS 202を形成し、該LOCOS 202をマスクとしてボロンをドーズ量 10^{12} cm^{-2} 程度イオン注入し、不純物濃度 10^{16} cm^{-3} 程度のp形不純物領域であるPWL 203を形成する。この基板201を再度熱酸化し、酸化膜厚1000オングストローム以下のゲート酸化膜204を形成する（図13（a））。

【0075】リンを 10^{20} cm^{-3} 程度ドーピングしたn形ポリシリコンからなるゲート電極205を形成した後、基板201全面にリンをドーズ量 10^{12} cm^{-2} 程度イオン注入し、不純物濃度 10^{16} cm^{-3} 程度のn形不純物領域であるNLD 206を形成し、引き続き、パターンニングされたフォトレジストをマスクとして、リンをドーズ量 10^{15} cm^{-2} 程度イオン注入し、不純物濃度 10^{19} cm^{-3} 程度のソース、ドレイン領域207、207'を形成する（図13（b））。

【0076】基板201全面に層間膜であるPSG 208を形成する。このPSG 208はNSG（Nondope Silicate Glass）／BPSG（Boro-Phospho-Silicate Glass）や、TEOS（Tetraethoxy-Silane）で代替することも可能である。ソース、ドレイン領域207、207'の直上のPSG 208にコンタクトホールをパターンニングし、スパッタリングによりAlを蒸着した後パターンニングし、Al電極209を形成する（図13（c））。このAl電極209と、ソース、ドレイン領域207、207'とのオーミックコンタクト特性を向上させるために、Ti／TiN等のバリアメタルを、Al電極209とソース、ドレイン領域207、207'との間に形成するのが望ましい。

【0077】基板201全面にプラズマSiN 210を3000オングストローム程度、続いてPSG 211を10000オングストローム程度成膜する（図13（d））。

【0078】プラズマSiN 210をドライエッチングストッパー層として、PSG 211を画素間の分離領域のみを残すようにパターンニングし、その後ドレイン領域207'にコンタクトしているAl電極209直上にスルーホール212をドライエッチングによりパターンニングする（図13（e））。

【0079】基板201上にスパッタリング、或いはEB（Electron Beam、電子線）蒸着により、画素電極213を10000オングストローム以上成膜する（図14（f））。この画素電極213としては、Al、Ti、Ta、W等の金属膜、或いはこれら金属の化合物膜を用いる。

【0080】画素電極213の表面をCMPにより研磨

する(図14(g))。研磨量はPSG211厚を10000オングストローム、画素電極厚をxオングストロームとした場合、xオングストローム以上、x+10000オングストローム未満である。

【0081】上記の工程により形成されたアクティブマトリクス基板はその表面にさらに配向膜215を形成し、その表面にラビング処理等配向処理を施し、スペーサ(不図示)を介して対向基板と貼り合わせ、その間隙に液晶214を注入して液晶素子とする(図14

(h))。本実施形態においては、対向基板は透明基板220上にカラーフィルター221、ブラックマトリクス222、ITO等からなる共通電極223、及び配向膜215'から構成されている。

【0082】本実施形態のアクティブマトリクス基板は、図14(h)から明らかなように、画素電極213表面が平滑であり、且つ、隣接する画素電極間隙に絶縁層が埋め込まれているため、その上に形成される配向膜215表面も平滑で凹凸がない。よって、この技術を適用すると画素電極上の凹凸によって生じていた、入射光の散乱により光利用効率の低下、ラビング不良によるコントラストの低下、画素電極間の段差による横方向電界による輝線の発生が防止され、表示画像の品質向上が図れる。

【0083】[第5の実施形態] 本発明の第5の実施形態について、図15を用いて詳細に説明する。図15に示した例は、図1に示した例に類似する形態であるが、図1に示したものの最も大きな違いは、D/Aコンバータ12と信号転送スイッチ17との間にD/Aコンバータ12の出力を切り替える手段53(スイッチ)が設けられていることである。なお、ここで、バッファアンプ14は、必ずしも設けなくとも良い。図15において、図1に示されるのと同じ部位には同じ番号を付したので各部についての詳しい説明は省略する。

【0084】図15に示した例においては、デジタル映像信号は水平走査回路2の出力に同期して、一旦データラッチ回路8に記憶される。次いでこのデジタル信号はD/Aコンバータ12によってアナログ信号に変換された後、アナログ信号はD/Aコンバータ12の出力を切り替える手段53によって、出力先を2つの転送スイッチ群17にふり分けられる。さらに転送スイッチ選択手段16によって転送スイッチ17を選択的にオン状態とし、転送スイッチ17を介して垂直信号線52にアナログ映像信号が供給される。そして垂直走査回路18によって所定の走査線51を選択することで、画素へ映像信号を書き込む。これにより画像表示が可能となる。

【0085】一般にD/Aコンバータ12やバッファアンプ14の特性は個体毎に特性が少なからず異なる。すると同じD/Aコンバータ12から映像信号を書き込む画素ブロック毎、例えば図1に示した例では4画素毎に、輝度差を生じる可能性がある。そこで本実施形態で

は、D/Aコンバータ12の出力を切り替える手段53を用いて、同一画素が必ずしも同じD/Aコンバータ12によって書き込まれないようにした。こうすることによって画素ブロック毎、本実施形態では4画素毎の輝度差を小さくでき、更に高品位の表示が可能になる。

【0086】次いで図16に示した例について説明する。図16と図15との違いは、図16においては、デジタルの映像信号を複数に分割して入力する構成になっている点、及び映像信号を切り替える(マルチプレックス)手段55を有している点である。図16に示した例においては、D/Aコンバータの出力を切り替えたときに、映像信号が所定の表示画素に書き込まれなくなるのを防ぐために、映像信号をマルチプレックス回路55によって入れ替えて所望の画素に書き込めるようにしている。

【0087】図15及び図16に示した例においては、D/Aコンバータに特性のばらつきがある場合であっても極めて高品位な画像を表示できる。

【0088】[第6の実施形態] 本発明の第6の実施形態について、図17を用いて詳細に説明する。図17に示した例は、図1に示した例に類似するものであるが、図1に示したものと最も大きな違いは、D/Aコンバータ12と信号転送スイッチ17との間に、D/Aコンバータ12の出力を昇圧する昇圧回路60が設けられている点である。図17においても、図1に示されるのと同じ部位には同じ番号を付しているので各部についての詳しい説明は省略する。

【0089】図17に示した例においては、デジタル映像信号は水平走査回路2の出力に同期して、一旦データラッチ回路8に記憶される。次いでこのデジタル信号はD/Aコンバータ12によってアナログ信号に変換された後、昇圧回路60によって所定の振幅に変化させられる。さらに転送スイッチ選択手段16によって転送スイッチ17を選択的にし、転送スイッチ17を介して垂直信号線52にアナログ映像信号を転送する。このとき垂直走査回路18によって所定の走査線51を選択することで画素へ映像信号を書き込む。これにより画像表示が可能となる。

【0090】液晶表示装置では、液晶の劣化を防ぐために極性反転駆動を行うのが一般的である。この結果、結晶に印加される電圧の振幅は液晶材料にもよるが、10V程度以上と非常に高くなる。本実施形態においてはD/Aコンバータ12の出力は昇圧回路60によって昇圧されるため、D/Aコンバータ12部分の電源電圧を小さくでき、この部分で省電力化がはかれる。

【0091】図18及び図19は、図17に示す昇圧回路60の例を示す等価回路図である。ここに示した例では、昇圧回路はD/Aコンバータ12からの入力部が容量58の容量結合でクランプ型のアンプ57になっており、クランプレベルをスイッチ56で切り換えて任意に

10

20

30

40

50

設定できるようになっている。図18はクランプ型のアンプ57のゲイン1の場合、図19は抵抗分割でアンプ57のゲインを設定できる形式である。概念的には図20に示したようになる。D/Aコンバータの出力は反転周期毎にビット反転させると図20(A)のような出力になっている。しかし液晶に印加される信号は、対向電極の電圧を中心に反転する必要がある。そこで、反転周期に従って V_{clmp} を図20(B)のように変化させ、D/Aコンバータ12からの読み出しの前に、図20

(C)のように ϕ_{clmp} をオン状態として、アンプ57の基準となる電圧を変化させる。そうすることによって、出力信号は図20(D)のようになる。従ってD/Aコンバータ12の電源電圧を大きくすることなく、反転駆動が可能となる。ここに示した形態を採用するとD/Aコンバータ12の低電圧化が図れる。

【0092】[第7実施形態] 本発明の第7の実施形態について、図面を参照しつつ説明する。ここでは、D/Aコンバータの構成を工夫した例について説明する。

【0093】図21は、本実施形態のD/Aコンバータの等価回路図である。図21においては、映像信号が4ビットの場合を示している。本実施形態では、抵抗分割によって5ケの基準電圧群を2種類作る回路と、極性反転信号によって前記2種類の基準電圧群のうち1つを選択する手段と、上位2ビットをデコードして5ケの基準電圧のうち所定の2ケを選択する回路と、前記2ケの基準電圧の間を抵抗で分割する回路と、下位2ビットをデコードして前記抵抗で分割した電圧のうち1つを選択する手段を有している。なお前記基準電圧群を2種類作る回路は、図では基準電圧 V_{ref1} ～ V_{ref4} の4つを入力しているが、必ずしも基準電圧 V_{ref3} 、 V_{ref4} は入力する必要はない(但し、中心の抵抗2ケがないときは必ず必要)。

【0094】液晶表示装置では液晶材料の劣化を防ぐために反転駆動を行うのが一般的である。本実施形態では、D/Aコンバータの基準電圧群を正転用と反転用の2種類を発生させ、これを反転周期毎に切り替えることによって反転駆動を可能としている。つまりINVパルスを入力することによりスイッチを切り替え、基準電圧を変化させる。このとき、抵抗分割の比は、液晶の電圧-輝度特性を考慮し、設計者が任意に設定できる。出力されるアナログ信号は、正転(INV=high)のとき基準電圧 V_{ref4} ～ V_{ref2} 、反転(INV=low)のとき基準電圧 V_{ref1} ～ V_{ref3} のダイナミックレンジとなる。ここで正転(INV=high)のときを考えると、まず5ケの基準電圧は V_{ref4} ～ V_{ref2} を抵抗で分割した電圧になる。映像信号の上位2ビットをデコードした信号によって、隣接する基準電圧4組のうち1組が選択される。さらに前記1組の基準電圧を抵抗分割してつくる4つの電圧のうちの1つが、映像信号の下位2ビットをデコードした信号によって選択され

る。以上によりデジタル-アナログ変換が可能である。本実施形態のD/Aコンバータのデジタル-アナログ変換特性は図22のように、入力デジタルデータに対してアナログ信号の出力は反転信号と非反転信号の関係となる。

【0095】ところで半導体集積回路において抵抗素子を構成する際、図23に示すような第1導電型のウエル中に形成した第2導電型の拡散層を用いるのが一般的である。このpn接合に印加される逆バイアスによって、接合部には空乏層が広がる。結果的にバイアス状態によって空乏層幅が変化するため、抵抗値がバイアス依存を持つことになる。本実施形態の場合、上位ビット即ち基準電圧部のための抵抗素子は、図23(A)に示されるような高濃度(望ましくは 10^{19} cm^{-3} 以上)の拡散層によって形成し、下位ビットのための抵抗素子、は図23(B)に示されるような低濃度の拡散層によって形成することができる。一般的に空乏層幅は不純物濃度の逆数の1/2乗に比例するので、上位ビットではバイアス依存の少ない高精度の抵抗素子を用い、下位ビットにはバイアス依存はあっても小面積で高抵抗の素子を用いている事になる。下位ビットでは、各抵抗でのバイアスは大きくは異ならないので、抵抗値も大きくは異ならない。このため、低濃度の拡散層を用いた方が、小面積で抵抗素子を構成できるため有利になる。一方上位ビットでは各抵抗素子のバイアス状態は、各々大きく異なるため、バイアス依存の少ない抵抗素子を用いる必要がある。

【0096】本実施形態のD/Aコンバータによれば、D/Aコンバータの単調性が保証され、精度アップと回路面積縮小が図れる。

【0097】[第8の実施形態] 本発明の第8の実施形態について図面を参照しつつ説明する。本実施形態に採用されるD/Aコンバータに適用可能なバッファ回路を工夫した形態について説明する。図24にバッファ回路の構成を示す。このバッファ回路は2つの出力レンジの違ったバッファ回路243、244、切り替えスイッチ、バイアス回路から構成されている。

【0098】バッファ回路243、244では、一般的に電源電圧範囲(V_{SS} ～ V_{DD})の全レンジにわたる出力レンジを得ることはできない。図25は図24の具体的回路図であり、バッファ回路243では入力電圧が電源電圧 V_{DD} に近づくにつれて、p型トランジスタ260、261のD-S間電圧が小さくなり動作が線形領域に入る。この結果、トランジスタ260、261から供給される電流は次第に小さくなるため、最大動作周波数が次第に下がりはじめ、ついには出力可能な電圧の上限に達する。一方 V_{SS} に近いレベルの入力に対しては、上記した制限はなく、 V_{SS} 側にはより近い電圧出力が可能である。従ってバッファ回路243は低電圧側により広い出力レンジを持っている事になる。一方バッ

ファ回路244では、入力電圧がVSSに近づくにつれてn型トランジスタ267、268が線形領域に入る。このためバッファ回路243とは逆にバッファ回路244は高電圧側(VDD)により広い出力レンジを持つことになる。

【0099】液晶装置では液晶の劣化を防ぐために交流駆動をするのが一般的である。そこで本実施形態では、正転時と反転時で、出力レンジの異なる2つのバッファ回路243、244を選択的に切り替え動作させる構成をとることにより、低い電源電圧で、実質的に広い出力レンジを得ることができる。

【0100】さらに詳しく図25を用いて説明する。240に入力された任意の電圧は、反転信号入力端子240に入力された反転信号、及び反転信号入力端子240に入力された反転信号を反転する回路241から出力された信号とによって選択された切り替えスイッチ251～254から選択されるバッファ回路から出力される。ここで、切り替えスイッチ251、252、255、256がP型トランジスタ、切り替えスイッチ253、254、257、258がN型トランジスタである。反転信号入力端子240に入力された反転信号がHighの時、切り替えスイッチ252、253、255、256、247は導通し、切り替えスイッチ251、254、257、258、246は非導通となる。この状態になることにより、244のバッファ回路が出力し、243のバッファ回路はトランジスタ260、261、262、263、264のゲートがオフレベルに固定されており完全にシャットダウンされる。

【0101】このように構成することにより、任意の入力電圧値によって、所望のバッファ回路を選択できる。したがって、より広い出力レンジを得ることが出来る。さらに、動作していないバッファ回路には電流が流れないので、消費電流の増加が妨げる。

【0102】[第9実施形態]ここでは、本発明の液晶装置(パネル)にマイクロレンズを設けた所謂単板式のフルカラー表示装置について説明する。

【0103】本出願人は、従来のマイクロレンズ付表示パネルを用いた投写型表示装置においてはR、G、Bのモザイク構造が目立ち、表示画像の品位が著しく低下するという点を解決するものとして、特願平9-92646号において、新規な表示パネルを提案した。特願平9-72646で提案した表示パネルは、第1、第2、第3の色画素の3つの色画素のうちの第1、第2の色画素の組み合わせを第1方向に、該第1、第3の色画素の組み合わせを該第1方向と異なる第2方向に該第1の色画素を共有するように配置した画素ユニットを基板上に所定のピッチで2次元的に配列した画素ユニットアレイと、該第1方向と第2方向の2つの色画素のピッチを1ピッチとするマイクロレンズを複数個、該基板上の画素ユニットアレイ上に2次元的に配列したマイクロレンズ

アレイとを有している表示パネルである。

【0104】ここでは、特願平9-72646号において提案された表示パネルを、本発明の液晶装置及び表示装置に適用した例について説明する。

【0105】図26に本発明の液晶表示装置を用いた前面及び背面投写型液晶表示装置光学系の構成図を示す。本図はその上面図を表す図26(a)、正面図を表す図26(b)、側面図を表す図26(c)から成っている。同図において、1301はマイクロレンズ付の液晶装置を用いた表示パネル(液晶パネル)で表示した画像情報をスクリーンに投射する投影レンズ、1302はマイクロレンズ付液晶パネル、1303は例えばS偏光を透過し、P偏光を反射する偏光ビームスプリッター(PBS)、1340はR(赤色光)反射ダイクロイックミラー、1341はB/G(青色&緑色光)反射ダイクロイックミラー、1342はB(青色光)反射ダイクロイックミラー、1343は全色光を反射する高反射ミラー、1350はフレネルレンズ、1351は凸レンズ(正レンズ)、1306はロッド型インテグレーター、1307は楕円リフレクター、1308はメタルハライド、UHP等のアークランプである。

【0106】ここで、R(赤色光)反射ダイクロイックミラー1340、B/G(青色&緑色光)反射ダイクロイックミラー1341、B(青色光)反射ダイクロイックミラー1342はそれぞれ図27に示したような分光反射特性を有している。そしてこれらのダイクロイックミラーは高反射ミラー1343とともに、図28の斜視図に示したように3次元的に配置されており、後述するように白色照明光をRGBに色分解するとともに、液晶パネル1302に対して各原色光が、3次元的に異なる方向から該液晶パネル1302を照明するようにしている。

【0107】ここで、光束の進行過程に従って説明すると、まず光源のランプ1308からの出射光束は白色光であり、楕円リフレクター1307によりその前方のインテグレーター1306の入り口に集光され、このインテグレーター1306内を反射を繰り返しながら進行するにつれて光束の空間的強度分布が均一化される。そしてインテグレーター1306を出射した光束は凸レンズ1351とフレネルレンズ1350とにより、x軸一方向(図26(b)の正面図基準)に平行光束化され、まずB反射ダイクロイックミラー1342に至る。

【0108】このB反射ダイクロイックミラー1342ではB光(青色光)のみが反射され、z軸一方向つまり下側(図26(b)の正面図基準)にz軸に対して所定の角度でR反射ダイクロイックミラー1340に向かう。一方B光以外の色光(R/G光)はこのB反射ダイクロイックミラー1342を通過し、高反射ミラー1343により直角にz軸一方向(下側)に反射され、やはりR反射ダイクロイックミラー1340に向かう。

【0109】ここで、B反射ダイクロイックミラー1342と高反射ミラー1343は共に図26(a)の正面図を基にして言えば、インテグレーター1306からの光束(x軸-方向)をz軸-方向(下側)に反射するように配置しており、高反射ミラー1343はy軸方向を回転軸にx-y平面に対して丁度45°の傾きとなっている。それに対してB反射ダイクロイックミラー1342はやはりy軸方向を回転軸にx-y平面に対して、この45°よりも浅い角度に設定されている。

【0110】従って、高反射ミラー1343で反射されたR/G光はz軸-方向に直角に反射されるのに対して、B反射ダイクロイックミラー1342で反射されたB光はz軸に対して所定の角度(x-z面内チルト)で下方向に向かう。ここで、B光とR/G光の液晶パネル1302上の照明範囲を一致させるため、各色光の主光線は液晶パネル1302上で交差するように、高反射ミラー1343とB反射ダイクロイックミラー1342のシフト量およびチルト量が選択されている。

【0111】次に、前述のように下方向(z軸-方向)に向かったR/G/B光はR反射ダイクロイックミラー1340とB/G反射ダイクロイックミラー1341に向かうが、これらはB反射ダイクロイックミラー1342と高反射ミラー1343の下側に位置し、まず、B/G反射ダイクロイックミラー1341はx軸を回転軸にx-z面に対して45°傾いて配置されており、R反射ダイクロイックミラー1340はやはりx軸方向を回転軸にx-z平面に対してこの45°よりも浅い角度に設定されている。

【0112】従って、これらに入射するR/G/B光のうち、まずB/G光はR反射ダイクロイックミラー1340を通過して、B/G反射ダイクロイックミラー1341により直角にy軸+方向に反射され、PBS1303を通じて偏光化された後、x-z面に水平に配置された液晶パネル1302を照明する。

【0113】このうちB光は、前述したように(図26(a)、図26(b)参照)、x軸に対して所定の角度(x-z面内チルト)で進行しているため、B/G反射ダイクロイックミラー1341による反射後は、y軸に対して所定の角度(x-y面内チルト)を維持し、その角度を入射角(x-y面方向)として該液晶パネル1302を照明する。

【0114】G光についてはB/G反射ダイクロイックミラー1341により直角に反射し、y軸+方向に進み、PBS1303を通じて偏光化された後、入射角0°つまり垂直に該液晶パネル1302を照明する。

【0115】また、R光については、前述のようにB/G反射ダイクロイックミラー1341の手前に配置されたR反射ダイクロイックミラー1340によりR反射ダイクロイックミラー1340にてy軸+方向に反射されるが、図26(c)(側面図)に示したようにy軸に対

して所定の角度(y-z面内チルト)でy軸+方向に進み、PBS1303を通じて偏光化された後、該液晶パネル1302をこのy軸に対する角度を入射角(y-z面方向)として照明する。

【0116】また、前述と同様にRGB各色光の液晶パネル1302上の照明範囲を一致させるため、各色光の主光線は液晶パネル1302上で交差するように、B/G反射ダイクロイックミラー1341とR反射ダイクロイックミラー1340のシフト量およびチルト量が選択されている。

【0117】さらに、図27(a)に示したようにB反射ダイクロイックミラー1341のカット波長は480nm、図27(b)に示したようにB/G反射ダイクロイックミラー1341のカット波長は570nm、図27(c)に示したようにR反射ダイクロイックミラー1340のカット波長は600nmであるから、不要な橙色光はB/G反射ダイクロイックミラー1341を透過して捨てられる。これにより最適な色バランスを得ることができる。

【0118】そして後述するように液晶パネル1302にて各R、G、B光は反射&偏光変調され、PBS1303に戻り、PBS1303のPBS面1303aにてx軸+方向に反射する光束が画像光となり、投影レンズ1301を通じて、スクリーン(不図示)に拡大投影される。

【0119】ところで、該液晶パネル1302を照明する各R、G、B光は入射角が異なるため、そこから反射されてくる各RGB光もその出射角を異にしているが、投影レンズ1301としてはこれらを全て取り込むに十分な大きさのレンズ径及び開口のものをを用いている。ただし、投影レンズ1301に入射する光束の傾きは、各色光がマイクロレンズを2回通過することにより平行化され、液晶パネル1302への入射光の傾きを維持している。

【0120】ところが図38に示したように従来例の透過型では、液晶パネルを出射した光束はマイクロレンズの集光作用分も加わってより大きく広がってしまうので、この光束を取り込むための投影レンズはさらに大きな開口数が求められ、大型で高価なレンズとなっていた。

【0121】図38において、1316は複数のマイクロレンズ1316aを所定のピッチで配列したマイクロレンズアレイ、1317は印加された電界強度により配向を変化する液晶層、1318はR(赤色)、G(緑色)、B(青色)の各画素である。赤、緑、青色の各色の照明光R、G、Bをそれぞれ異なる角度から液晶パネルLPに当て、マイクロレンズ1316aの集光作用により各色光がそれぞれ異なる色画素1318に入射するようにしている。これによって、カラーフィルターを不要とすると共に、高い光利用率を可能にした表示パネル

を構成している。このような表示パネルを用いた投写型表示装置は単板液晶パネルにても明るいフルカラー映像を投写表示することができるようになっている。

【0122】しかしながら、このようなマイクロレンズ付の表示パネルを用いた投写型表示装置では、その投写表示画像のR、G、Bの各色画素1318がスクリーン上に拡大投影されたものになる。このため、図39に示したように、R、G、Bのモザイク構造が目立ってしまい、これが表示画像の品位を著しく低下してしまうという欠点を有していたのである。

【0123】これに対して、本実施形態では液晶パネル1302からの光束の広がりはこのように比較的小さくなるので、より小さな開口数の投影レンズでもスクリーン上で十分に明るい投影画像を得ることができ、より小型な安価な投影レンズを用いることが可能になる。且つ、R、G、Bのモザイク構造が目立つのが抑えられるのである。すなわち、図39に示す縦方向に同一色が並ぶストライプタイプの表示方式の例を本実施形態に用いることも可能であるが、後述するマイクロレンズを用いた液晶パネルの場合は好ましくない。

【0124】次に、ここで用いる本発明液晶パネル1302について説明する。図29に該液晶パネル1302の拡大断面模式図（図21のy-z面に対応）を示す。図29は、本実施形態に係わる液晶パネル1302の特徴部である水平方向回路については、他の実施形態で詳しく説明したので、ここでは不図示としている。図29において、1321はマイクロレンズ基板（ガラス基板）、1322はマイクロレンズ、1323はシートガラス、1324は透明対向電極、1325は液晶層、1326は画素電極、1327はアクティブマトリックス駆動回路部、1328はシリコン半導体基板である。マイクロレンズ1322はいわゆるイオン交換法によりガラス基板（アルカリ系ガラス）1321の表面上に形成されており、画素電極1326のピッチの倍のピッチで2次元のアレイ構造を有し、これによりマイクロレンズアレイを成している。また、1252は周辺シール部である。ここで、本実施形態では、R、G、B画素が、1パネルに集約されており、1画素のサイズは小さくなる。従って、開口率を上げることの重要性が大きく、集光された光の範囲には、反射電極が存在していなければならない。第1～第5の実施形態で説明した構成が重要となる。

【0125】液晶層1325は反射型に適応したいわゆるDAP、HAN等のECBモードのネマチック液晶を採用しており、不図示の配向層により所定の配向が維持されている。画素電極1326はAl（アルミ）から成り、反射鏡を兼ねており、表面性を良くして反射率を向上させるため、パターニング後の最終工程で前述したいわゆるCMP処理を施している。

【0126】アクティブマトリックス駆動回路部132

7はシリコン半導体基板1328上に設けられている。ここで、ドライバーとして水平方向回路と垂直方向回路を含むアクティブマトリックス駆動回路1327はR、G、Bの各原色映像信号を所定の各R、G、B画素に書き込むように構成されており、該各画素電極1326はカラーフィルターは有さないものの、前記アクティブマトリックス駆動回路1327にて書き込まれる原色映像信号により各R、G、B画素として区別され、後述する所定のR、G、B画素配列を形成している。

10 【0127】ここで、液晶パネル1302に対して照明するG光について説明する。前述したようにG光はPBS1303により偏光化されたのち該液晶パネル1302に対して垂直に入射する。この光線のうち1つのマイクロレンズ1322aに入射する光線例を図中の矢印G（in/out）に示す。

【0128】ここに図示されたように該G光線はマイクロレンズ1322により集光され、G画素電極1326g上を照明する。そしてA1より成る該画素電極1326gにより反射され、再び同じマイクロレンズ1322aを通じてパネル外に出射していく。このように液晶層1325を往復通過する際、該G光線（偏光）は画素電極1326gに印加される信号電圧により対向電極1324との間に形成される電界による液晶の動作により変調を受けて、該液晶パネルを出射し、PBS1303に戻る。ここで、その変調度合いによりPBS面1303aにて反射され、投影レンズ1301に向かう光量に変化し、各画素のいわゆる濃淡階調表示がなされることになる。

【0129】一方、上述したように図29中断面（y-z面）内の斜め方向から入射してくるR光については、やはりPBS1303により偏光されたのち、例えばマイクロレンズ1322bに入射するR光線に注目すると、図中の矢印R（in）で示したように、該マイクロレンズ1322bにより集光され、その真下よりも左側にシフトした位置にあるR画素電極1326r上を照明する。そして該画素電極1326rにより反射され、図示したように今度は隣（-z方向）のマイクロレンズ1322aを通じて、パネル外に出射していく（R（out））。

40 【0130】この際、該R光線（偏光）はやはり画素電極1326rに印加される信号電圧により対向電極1324との間に形成される画像信号に応じた電界による液晶の動作により変調を受けて、該液晶パネルを出射し、PBS1303に戻る。そして、その後のプロセスは前述のG光の場合と全く同じように、画像光を投影レンズ1301から投影される。

【0131】ところで、図29の描写ではG画素電極1326g上とR画素電極1326r上の各G光とR光の色光が1部重なり干渉しているようになっているが、これは模式的に液晶層1325の厚さを拡大誇張して描い

ているためであり、実際には該液晶層の厚さは $1 \sim 5 \mu$ であり、シートガラス1323の $50 \sim 100 \mu$ に比べて非常に薄く、画素サイズに関係なくこのような干渉は起こらない。

【0132】次に、図30に本実施形態での色分解及び色合成の原理説明図を示す。ここで、図30(A)は液晶パネル1302の上面模式図、図30(B)、図30(C)はそれぞれ該液晶パネル上面模式図に対するA-A'(x方向)断面模式図、B-B'(z方向)断面模式図である。ここで、マイクロレンズ1322は、図30(A)の一点鎖線に示すように、G光を中心として両隣接する2色画素の半分ずつに対して1個が対応している。

【0133】このうち図30(C)はy-z断面を表す上記図29に対応するものであり、各マイクロレンズ1322に入射するG光とR光の入射の様子を表している。これから判るように各G画素電極は各マイクロレンズの中心の真下に配置され、各R画素電極は各マイクロレンズ間境界の真下に配置されている。従ってR光の入射角はその $\tan \theta$ が画素ピッチ(B&R画素)とマイクロレンズ1322・画素電極1326間距離の比に等しくなるように設定するのが好ましい。

【0134】一方、図30(B)は該液晶パネル1302のx-y断面を表す図29に対応するものである。このx-y断面については、第3の色画素としてのB画素電極とG画素電極とが図30(C)と同様に交互に配置されており、やはり各G画素電極は各マイクロレンズ1322の中心の真下に配置され、第3の色画素としての各B画素電極は各マイクロレンズ1322間の境界の真下に配置されている。

【0135】ところで該液晶パネル1322を照明するB光については、前述したようにPBS1303による偏光化後、図28中断面(x-y面)の斜め方向から入射してくるため、R光の場合と全く同様に、各マイクロレンズ1322から入射したB光線は、図示したようにB画素電極1326bにより反射され、入射したマイクロレンズ1322に対して、x方向に隣り合うマイクロレンズ1322から出射する。B画素電極1326b上の液晶による変調や液晶パネルからのB出射光の投影については、前述のG光およびR光と同様である。

【0136】また、各B画素電極1326bは各マイクロレンズ間境界の真下に配置されており、B光の液晶パネルに対する入射角についても、R光と同様にその $\tan \theta$ が画素ピッチ(G&B画素)とマイクロレンズ・画素電極間距離の比に等しくなるように設定するのが好ましい。

【0137】ところで、本実施形態の液晶パネルでは以上述べたように各R、G、B画素の並びがz方向に対してはRGRGRG…の並びに、x方向に対してはBGBGBG…の並びとなっているが、図30(A)はその平

面的な並びを示している。このように各画素サイズは縦横共にマイクロレンズの約半分になっており、画素ピッチはx-z両方向ともにマイクロレンズのその半分にになっている。また、G画素は平面的にもマイクロレンズ中心の真下に位置し、R画素はz方向のG画素間かつマイクロレンズ境界に位置し、B画素はx方向のG画素間かつマイクロレンズ境界に位置している。また、1つのマイクロレンズ単位の形状は矩形(画素の2倍サイズ)となっている。

10 【0138】図31に本液晶パネルの部分拡大上面図を示す。ここで図中の破線格子1329は1つの絵素を構成するR、G、B画素のまとまりを示している。尚、画素ユニットを基板上に2次元的に所定のピッチで配列して、画素ユニットアレイを構成している。つまり、図29のアクティブマトリックス駆動回路部1327により各R、G、B画素が駆動される際、破線格子1329で示されるR、G、B画素ユニットは同一画素位置に対応したR、G、B映像信号にて駆動される。

20 【0139】ここでR画素電極1326r、G画素電極1326g、B画素電極1326bから成る1つの絵素に注目してみると、まずR画素電極1326rは矢印r1で示されるようにマイクロレンズ1322bから前述したように斜めに入射するR光で照明され、そのR反射光は矢印r-2で示すようにマイクロレンズ1322aを通じて出射する。B画素電極1326bは矢印b1で示されるようにマイクロレンズ1322cから前述したように斜めに入射するB光で照明され、そのB反射光は矢印b2で示すようにやはりマイクロレンズ1322aを通じて出射する。

30 【0140】また、G画素電極1326gは正面後面矢印g12で示されるように、マイクロレンズ1322aから前述したように垂直(紙面奥へ向かう方向)に入射するG光で照明され、そのG反射光は同じマイクロレンズ1322aを通じて垂直に(紙面手前へ出てくる方向)出射する。

40 【0141】このように、本液晶パネルにおいては、1つの絵素を構成するR、G、B画素ユニットについて、各原色照明光の入射照明位置は異なるものの、それらの出射については、同じマイクロレンズ(この場合は1322a)から行われる。そしてこのことはその他の全ての絵素(R、G、B画素ユニット)についても成り立っている。

50 【0142】従って、図32には、本液晶パネル1302からの全出射光をPBS1303および投影レンズ1301を通じて、スクリーン1309に投写する概念図を示している。図32に示すように、液晶パネル1302を用いて、液晶パネル1302内のマイクロレンズ1322の位置又はその近傍がスクリーン1309上に結像投影されるように光学調整すると、その投影画像は図34に示すようなマイクロレンズ1322の格子内に各

絵素を構成する該 R、G、B 画素ユニットからの出射光が混色した状態つまり同画素混色した状態の絵素を構成単位としたものとなる。本実施形態では、このように図 31 に示す構成の表示パネル 1302 を用い、且つマイクロレンズ 1322 の配置面又はその近傍がスクリーン 1309 とほぼ共役関係となるようにして、スクリーン 1309 面上でいわゆる R、G、B モザイクが無い、質感の高い良好なカラー画像表示が可能としている。

【0143】次に、本投写型液晶表示装置の駆動回路系についてその全体ブロック図を図 33 に示す。ここで、1310 はパネルドライバーであり、R、G、B 映像信号を形成するとともに、対向電極 1324 の駆動信号、各種タイミング信号等を形成している。1312 はインターフェースであり、各種映像及び制御伝送信号を標準映像信号等にデコードしている。また、1311 はデコーダーであり、インターフェース 1312 からの標準映像信号を R、G、B 原色映像信号及び同期信号に、即ち液晶パネル 1302 に対応した画像信号にデコード・変換している。1314 はバラストであり、楕円リフレクター 1307 内のアークランプ 1308 を駆動点灯する。1315 は電源回路であり、各回路ブロックに対して電源を供給している。1313 は不図示の操作部を内在したコントローラーであり、上記各回路ブロックを総合的にコントロールするものである。

【0144】このように本投写型液晶表示装置は、その駆動回路系は単板式プロジェクターとしては、ごく一般的なものであり、特に駆動回路系に負担を掛けることなく、前述したような R、G、B モザイクの無い良好な質感のカラー画像を表示することができるものである。

【0145】ところで図 35 に本実施形態における液晶パネルの別形態の部分拡大上面図を示す。ここではマイクロレンズ 1322 の中心真下位置に B 画素電極 1326b を配列し、それに対し左右方向に G 画素 1326g が交互に並ぶように、上下方向に R 画素 1326r が交互に並ぶように配列している。このように配列しても、絵素を構成する R、G、B 画素ユニットからの反射光が 1 つの共通マイクロレンズから出射するように、B 光を垂直入射、R/G 光を斜め入射（同角度異方向）とすることにより、前実施形態と全く同様な効果を得ることができる。また、さらにマイクロレンズ 1322 の中心真下位置に R 画素を配列しその他の色画素を左右または上下方向に R 画素に対して G、B 画素を交互に並ぶようにしても良い。

【0146】〔第 10 の実施形態〕図 36 に本発明に係わる液晶パネルの第 10 の実施形態を示す。同図は本液晶パネル 1320 の部分拡大断面図である。前記第 9 の実施形態との相違点を述べると、まず対向ガラス基板としてシートガラス 1323 を用いており、マイクロレンズ 1220 については、シートガラス 1323 上に熱可塑性樹脂を用いたいわゆるリフロー法により形成してい

る。さらに、非画素部にスペーサー柱 1251 を感光性樹脂のフォトリソグラフィーにて形成している。

【0147】該液晶パネル 1320 の部分上面図を図 37 (a) に示す。この図から判るようにスペーサー柱 1251 は所定の画素のピッチでマイクロレンズ 1220 の角隅部の非画素領域に形成されている。このスペーサー柱 1251 を通る A-A' 断面図を図 37 (b) に示す。このスペーサー柱 1251 の形成密度については 10~100 画素ピッチでマトリックス状に設けるのが好ましく、シートガラス 1323 の平面性と液晶の注入性というスペーサー柱数に対して相反するパラメーターを共に満足するように設定する必要がある。

【0148】また、本実施形態では金属膜パターンによる遮光層 1221 を設けており、各マイクロレンズ境界部分からの漏れ光の進入を防止している。これにより、このような漏れ光による投影画像の彩度低下（各原色画像光の混色による）やコントラスト低下が防止される。従って本液晶パネル 1320 を用いて、第 9 の実施形態の如き液晶パネルを備えた投写型表示装置を構成することにより、さらにメリハリのある良好な画質が得られるようになる。

【0149】

【発明の効果】本発明の液晶装置によれば、外部駆動回路の部品点数を削減でき、通常のアナログ入力 of 液晶装置のように、デジタル画像信号を入力して D/A コンバータを介して直接液晶素子をドライブすることで、映像信号線の負荷を小さくすることができる。さらに、D/A コンバータ 1 ケ当たりの負荷も小さくできると共に液晶画素への書き込み時間を長くすることができるので、駆動周波数を低くすることが可能となる。これにより液晶装置全体として低消費電力となり、且つ低消費電力ゆえに高精細化が容易となる。これに加えてノイズの影響さえ少なく、高画質化が可能となる。

【0150】さらに、本発明に関わる投写型液晶表示装置においては、マイクロレンズ付反射型液晶パネルとそれぞれ異なる方向から各原色光を照明する光学系等を用いて、1 つの絵素を構成する 1 組の R、G、B 画素からの液晶による変調後の反射光が同一のマイクロレンズを通じて出射するようにしたことにより、R、G、B モザイクの無い質感の高い良好なカラー画像投写表示が可能となる。

【0151】また、各画素からの光束はマイクロレンズを 2 回通過してほぼ並行化されるので、マイクロレンズのピッチを画素ピッチの倍サイズとできて製造的にコストダウンとなり、また開口数の小さい安価な投影レンズを用いてもスクリーン上で明るい投影画像を得ることが可能になる。

【図面の簡単な説明】

【図 1】本発明による液晶パネルの駆動回路の 1 例を示す回路図である。

【図 2】本発明による液晶パネルの前の映像信号並べ替え回路の動作を示す模式図である。

【図 3】本発明による液晶パネルの駆動回路の動作を示すタイミング図である。

【図 4】本発明による液晶パネルの D/A コンバータの周辺回路図と波形図である。

【図 5】本発明による液晶パネルの D/A コンバータの周辺回路図と波形図である。

【図 6】本発明による液晶装置の断面図である。

【図 7】本発明による液晶装置の一例を示す概略的回路図である。

【図 8】本発明による液晶装置の入力部のディレイ回路を含む回路図である。

【図 9】本発明による液晶装置の液晶パネルの模式図である。

【図 10】本発明による液晶装置の製造上のエッチング処理の良否を判断するグラフである。

【図 11】本発明による液晶装置を用いた液晶プロジェクターの模式図である。

【図 12】本発明による液晶プロジェクターの回路ブロック図である。

【図 13】液晶装置の製造工程を示す模式図である。

【図 14】液晶装置の製造工程を示す模式図である。

【図 15】本発明の液晶パネルの駆動回路の 1 例を示す回路図である。

【図 16】本発明の液晶パネルの駆動回路の 1 例を示す回路図である。

【図 17】本発明の液晶パネルの駆動回路の 1 例を示す回路図である。

【図 18】本発明に適用可能な D/A コンバータの出力を昇圧する昇圧回路の等価回路図である。

【図 19】本発明に適用可能な D/A コンバータの出力を昇圧する昇圧回路の等価回路図である。

【図 20】D/A コンバータの出力を示す模式図である。

【図 21】D/A コンバータの等価回路図である。

【図 22】D/A コンバータの変換特性を示す模式図である。

【図 23】抵抗素子の模式図である。

【図 24】バッファ回路の模式図である。

【図 25】バッファ回路の回路図である。

【図 26】本発明の投写型表示装置の 1 例を示す模式図である。

【図 27】本発明の投写型表示装置に用いたダイクロイックミラーの分光反射特性図である。

【図 28】本発明の投写型表示装置の色分解照明部の斜視図である。

【図 29】本発明の液晶パネルの 1 例を示す断面図である。

【図 30】本発明の液晶パネルでの色分解色合成の原理

説明図である。

【図 31】本発明の液晶パネルの 1 例についての部分拡大上面図である。

【図 32】本発明の投写型表示装置の投影光学系を示す模式図である。

【図 33】本発明の投写型表示装置の駆動回路系を示すブロック図である。

【図 34】本発明の投写型表示装置の 1 例についてのスクリーン上の投影像の部分拡大図である。

【図 35】本発明の液晶パネルの 1 例についての部分拡大上面図である。

【図 36】本発明の液晶パネルの 1 例を示す模式図である。

【図 37】本発明の液晶パネルの 1 例についての部分拡大上面図と部分拡大断面図である。

【図 38】従来のマイクロレンズ付の透過型液晶パネルの部分拡大断面図である。

【図 39】マイクロレンズ付の透過型液晶パネルを用いた従来の投写型表示装置でのスクリーン上投映像の部分拡大図である。

【図 40】従来の液晶装置の 1 例を示す模式図である。

【図 41】従来の液晶装置の 1 例を示す模式図である。

【符号の説明】

1 映像信号並び替え回路

2 水平走査回路

3 インバータ

4~7 OR 回路

8~11 ラッチ回路

12, 13 D/A コンバータ

14, 15 バッファ

16 転送 SW 選択回路

17 転送スイッチ

18 垂直走査回路

19 液晶画素

20 スイッチ MOS トランジスタ

21 液晶

23 D/A コンバータ

301 半導体基板

302, 302' p 型及び n 型ウェル

303, 303' ソース領域

304 ゲート領域

305, 305' ドレイン領域

306 LOCOS 絶縁層

307 遮光層

308 PSG

309 プラズマ SiN

310 ソース電極

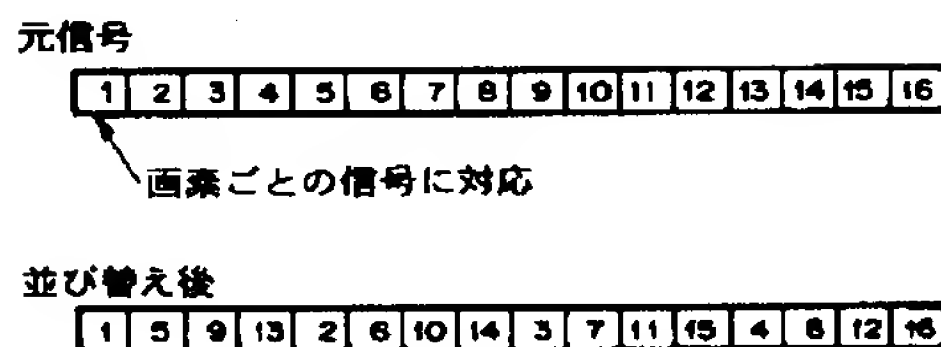
311 連結電極

312 反射電極 & 画素電極

313 反射防止膜

314 液晶層
 315 共通透明電極
 316 対向電極
 317, 317' 高濃度不純物領域
 319 表示領域
 320 反射防止膜
 321, 322 シフトレジスタ
 323 nMOS
 324 pMOS
 325 保持容量
 327 信号転送スイッチ
 328 リセットスイッチ
 329 リセットパルス入力端子
 330 リセット電源端子
 331 映像信号入力端子
 332 昇圧レベルシフター
 342 パルスdelay用インバータ
 343 スイッチ
 344 出力
 345 容量
 346 保護回路
 351 シール部
 352 電極パッド
 353 クロックバッファ
 371 光源
 372 集光レンズ
 373, 375 フレネルレンズ
 374 色分解光学素子
 376 ミラー
 377 視野レンズ
 378 液晶装置
 379 絞り部
 380 投影レンズ
 381 スクリーン
 385 電源
 386 プラグ

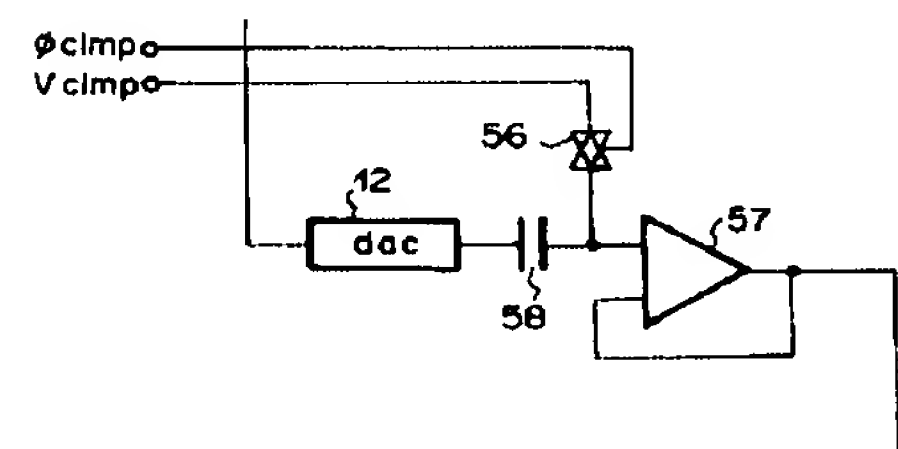
【図2】



上記は1ケのD/Aコンバータに4本の垂直信号線が接続されていて、水平方向の画素数が16の場合

387 ランプ温度検出
 388 制御ボード
 389 フィルタ安全スイッチ
 453 メインボード
 454 液晶パネルドライバヘッドボード
 455, 456, 457 液晶装置
 1220 マイクロレンズ (リフロー熱ダレ式)
 1251 スペーサー柱
 1252 周辺シール部
 10 1301 投影レンズ
 1302 マイクロレンズ付液晶パネル
 1303 偏光ビームスプリッター (PBS)
 1306 ロッド型インテグレータ
 1307 楕円リフレクター
 1308 アークランプ
 1309 スクリーン
 1310 パネルドライバー
 1311 デコーダー
 1312 インターフェース回路
 20 1314 バラスト (アークランプ点灯回路)
 1320 マイクロレンズ付液晶パネル
 1321 マイクロレンズガラス基板
 1322 マイクロレンズ (インデックス分布式)
 1323 シートガラス
 1324 対向透明電極
 1325 液晶
 1326 画素電極
 1327 アクティブマトリックス駆動回路部
 1328 シリコン半導体基板
 30 1329 基本絵素単位
 1340 R反射ダイクロイックミラー
 1341 B/G反射ダイクロイックミラー
 1342 B反射ダイクロイックミラー
 1343 高反射ミラー
 1350 フレネルレンズ (第2コンデンサーレンズ)
 1351 第1コンデンサーレンズ

【図18】



1 Line

水平走査

ラッチセレクト

S1

S2

S3

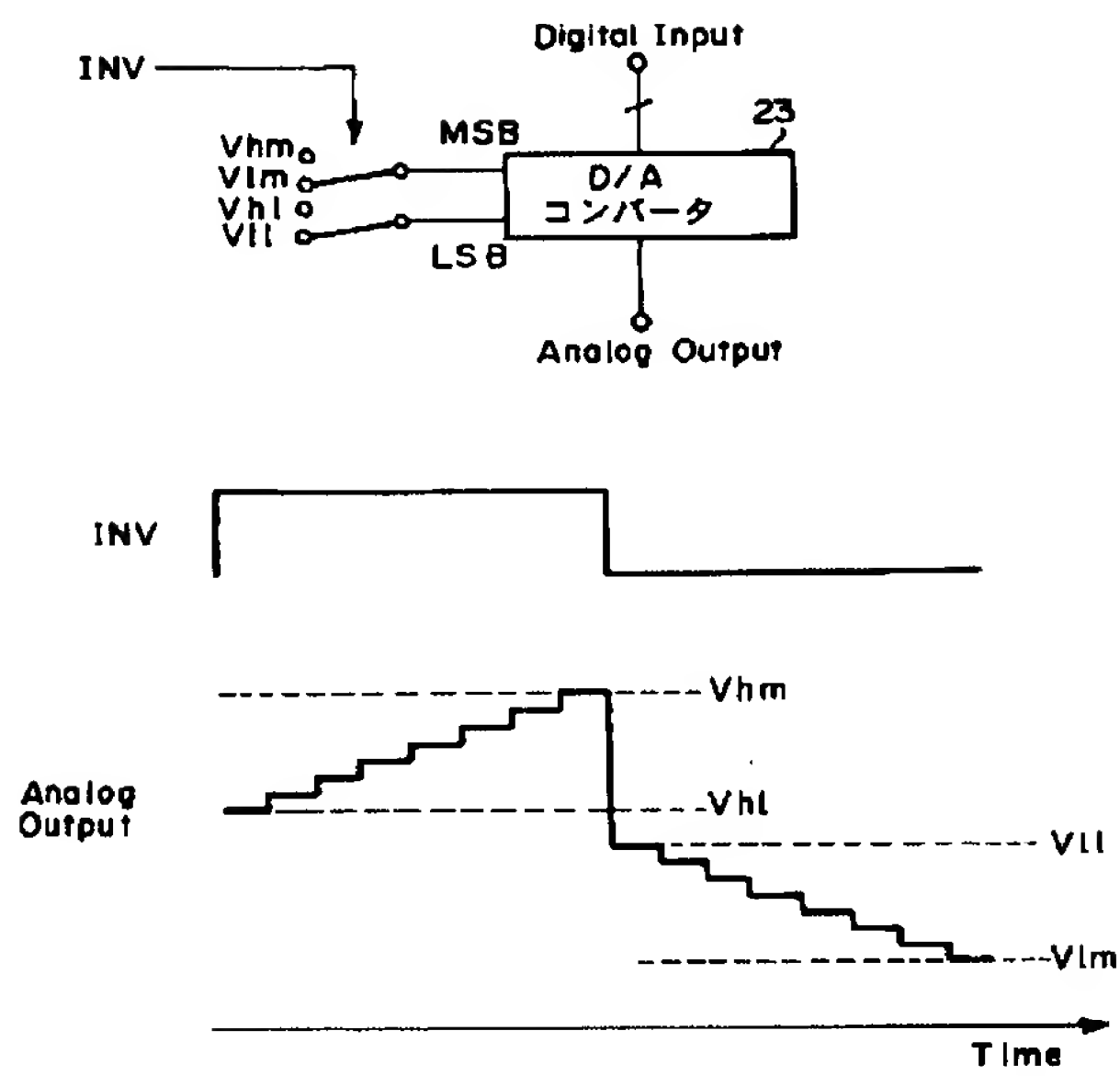
S4

第1ラッチ write read write read

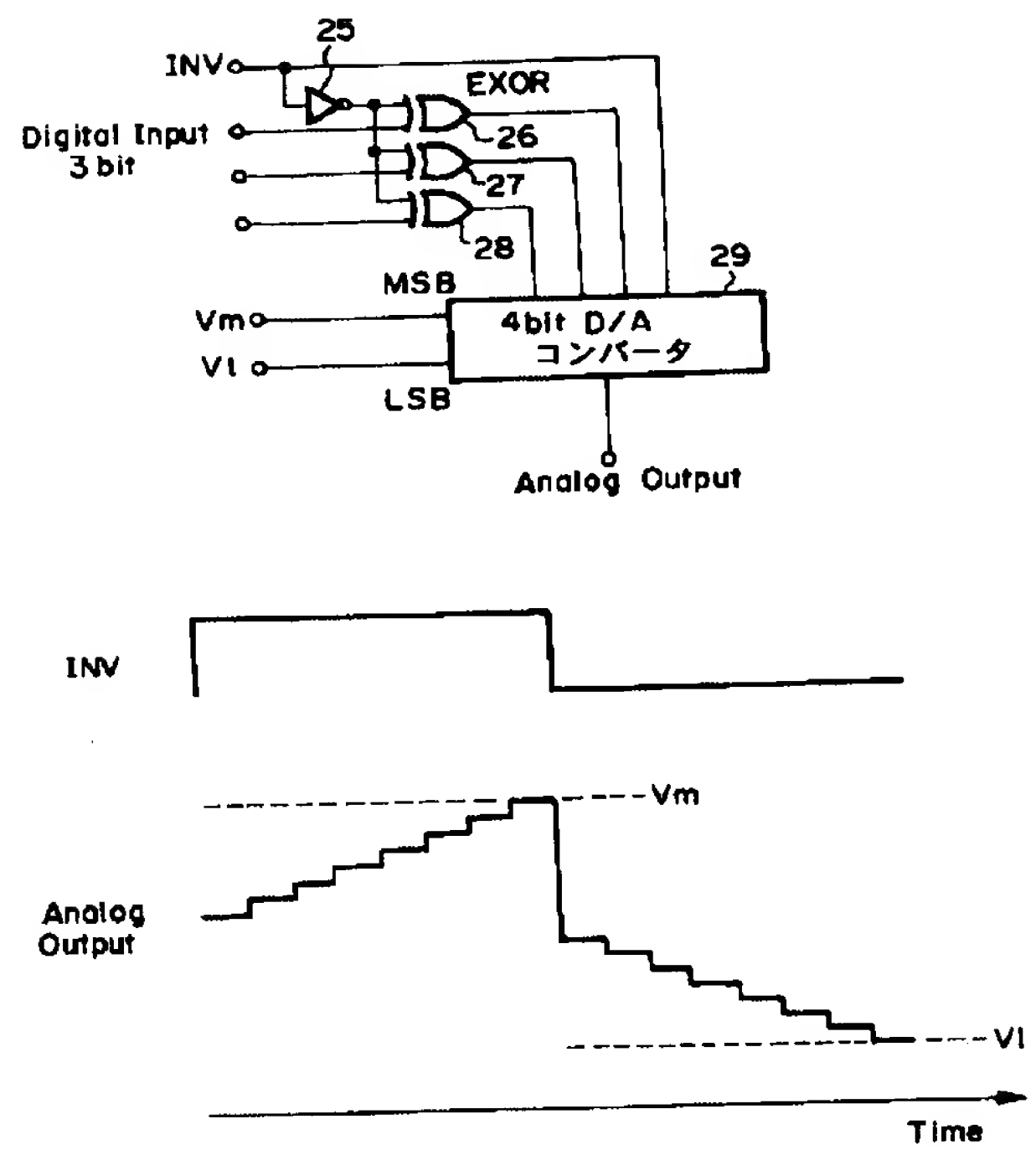
第2ラッチ write read write read

The circuit diagram shows a 12-bit DAC block connected to a 56 ohm resistor. The output of the resistor is connected to a 58 ohm capacitor, which is then connected to the non-inverting input of a 57 ohm op-amp. The op-amp is configured as a voltage follower, with its output connected back to its inverting input. The output of the op-amp is also connected to a 56 ohm resistor, which is connected to ground. The input of the DAC is connected to a 56 ohm resistor, which is connected to ground. The output of the DAC is connected to a 56 ohm resistor, which is connected to ground.

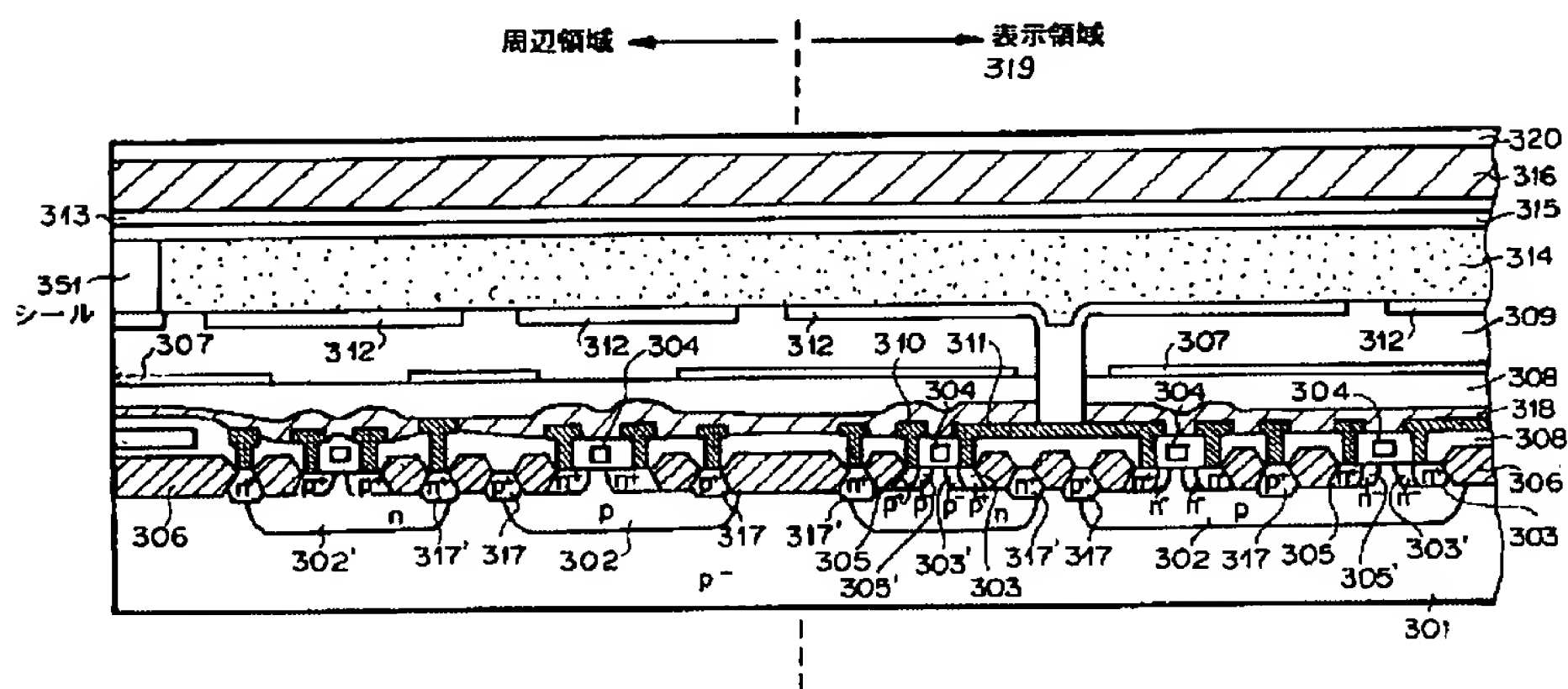
【図4】



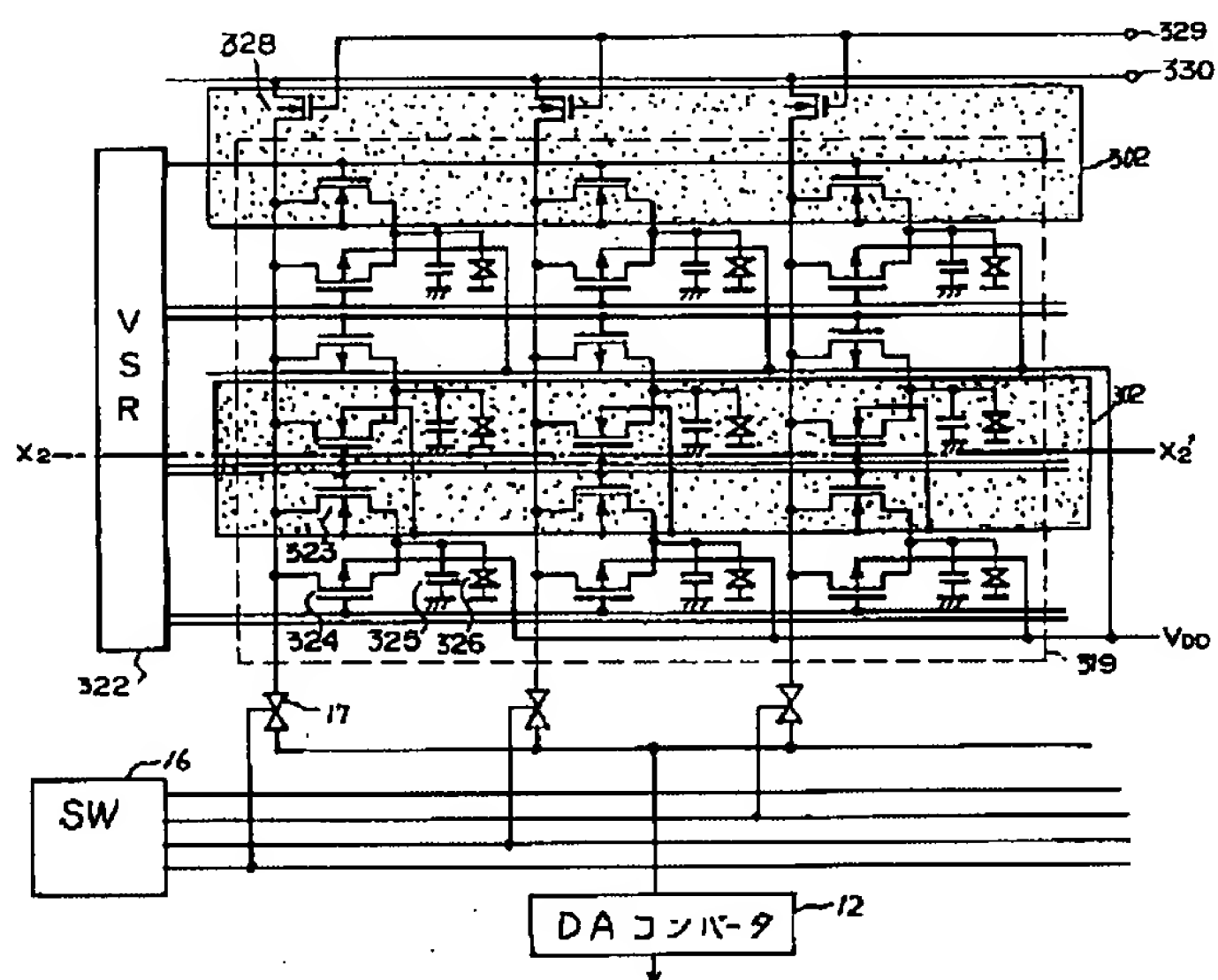
【図5】



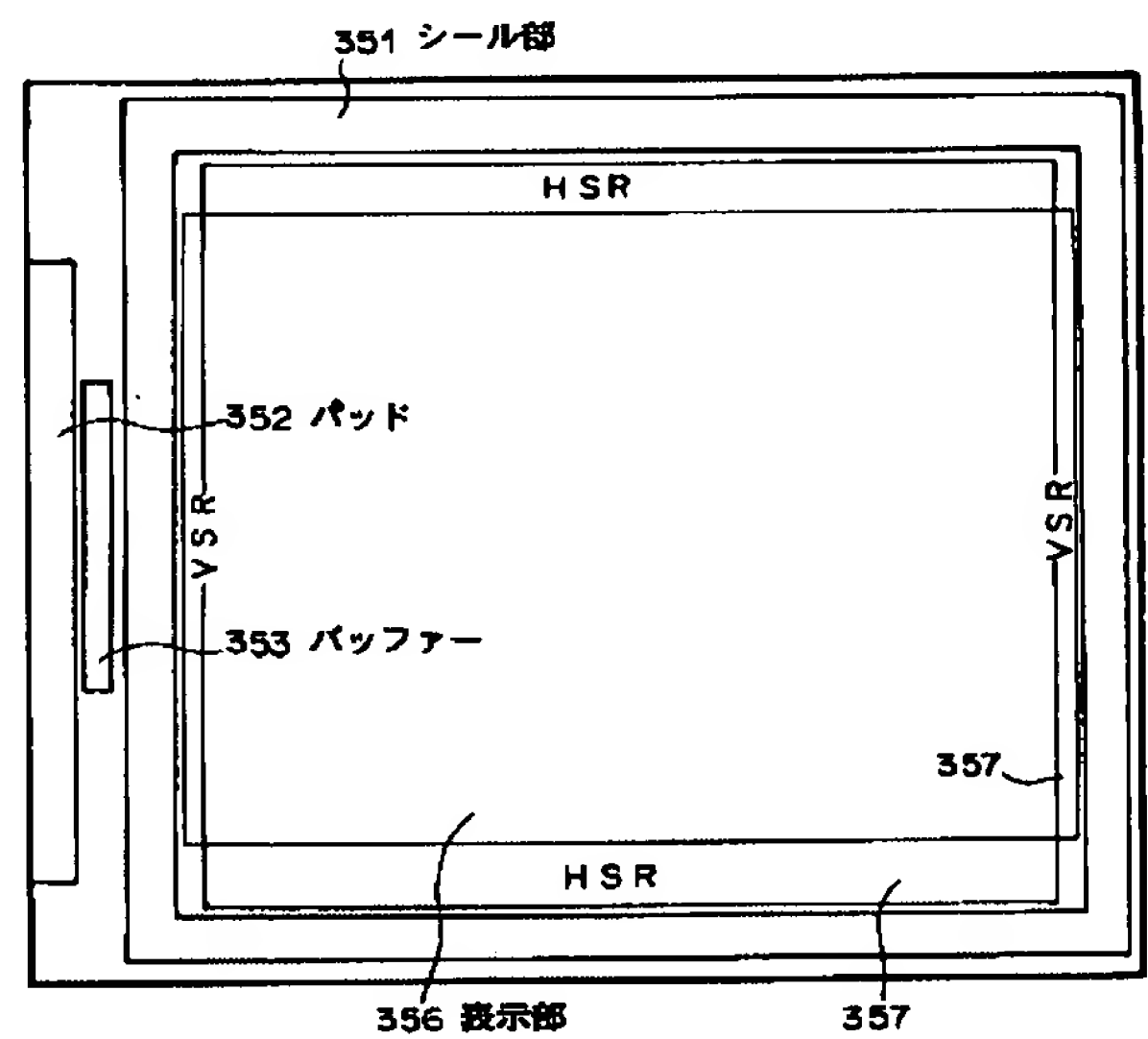
【図6】



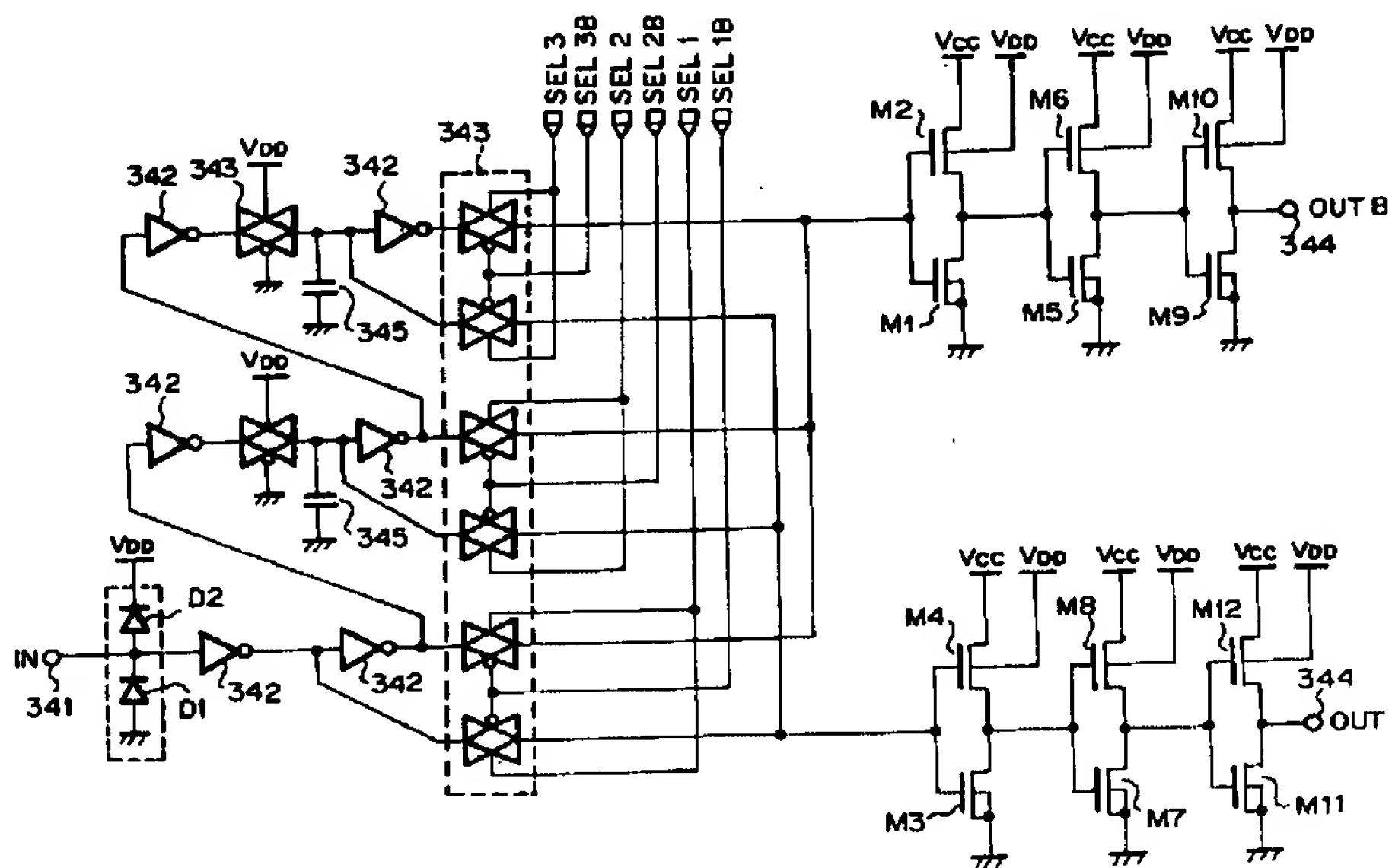
【図7】



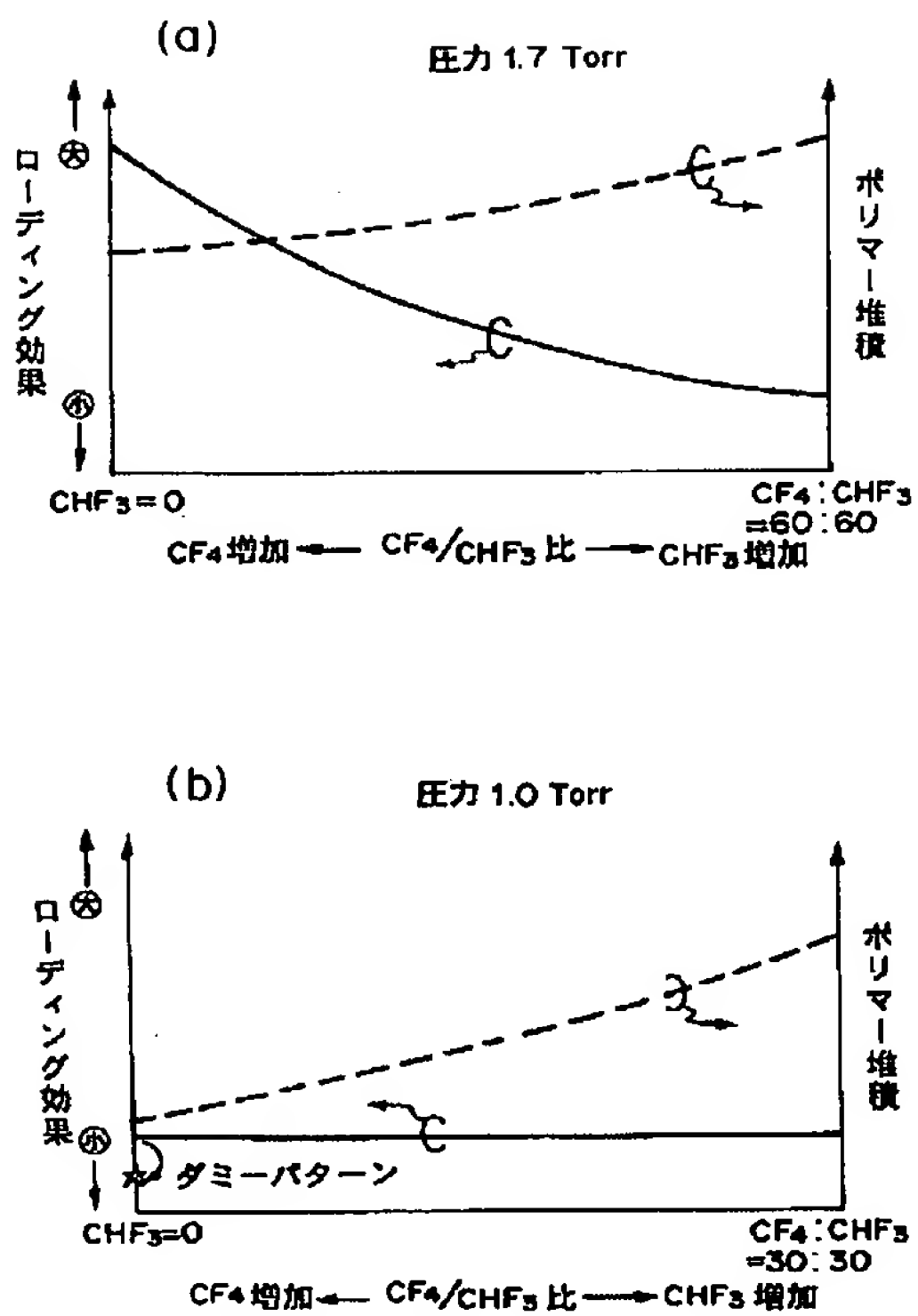
【図9】



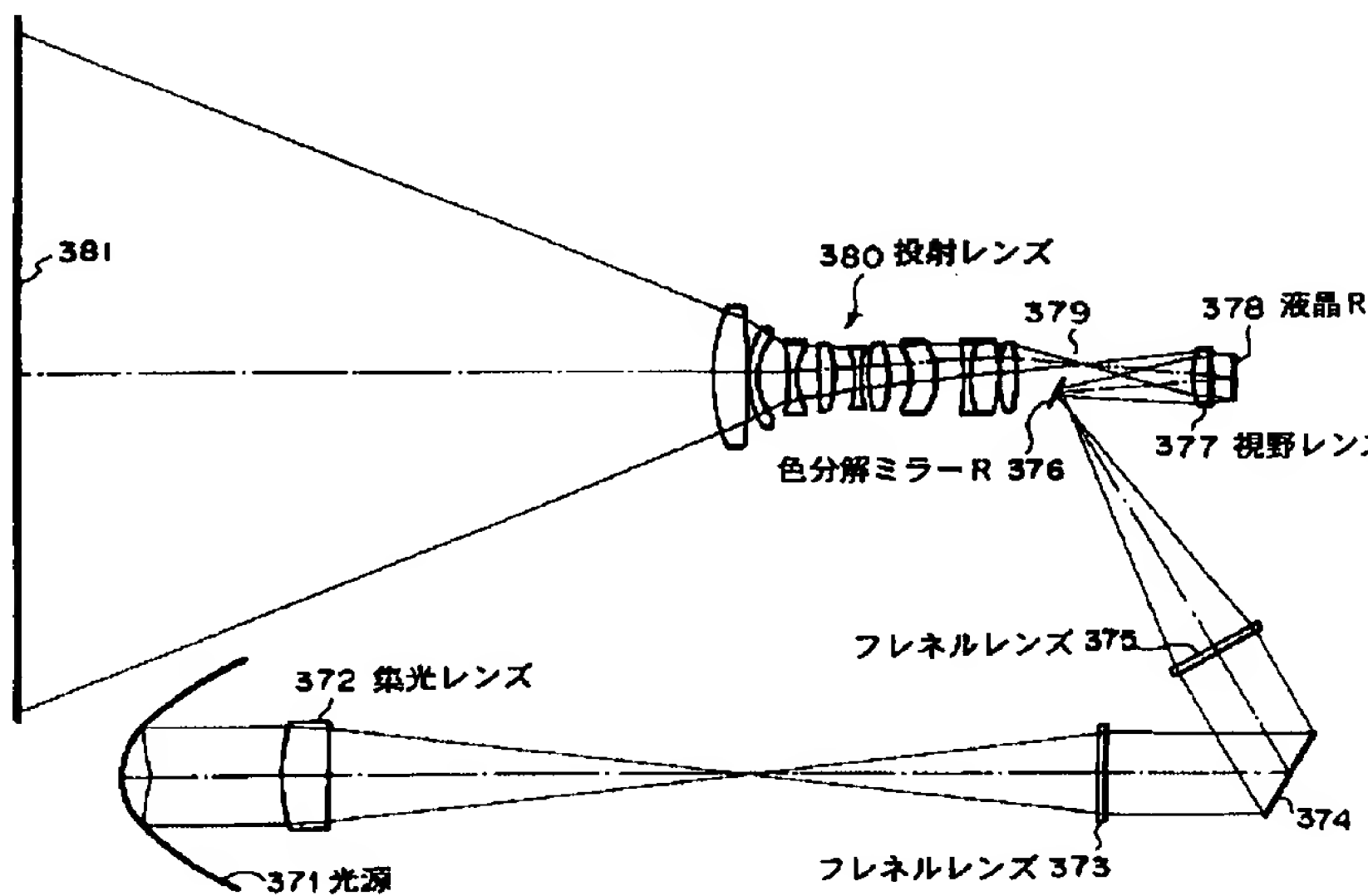
【図8】



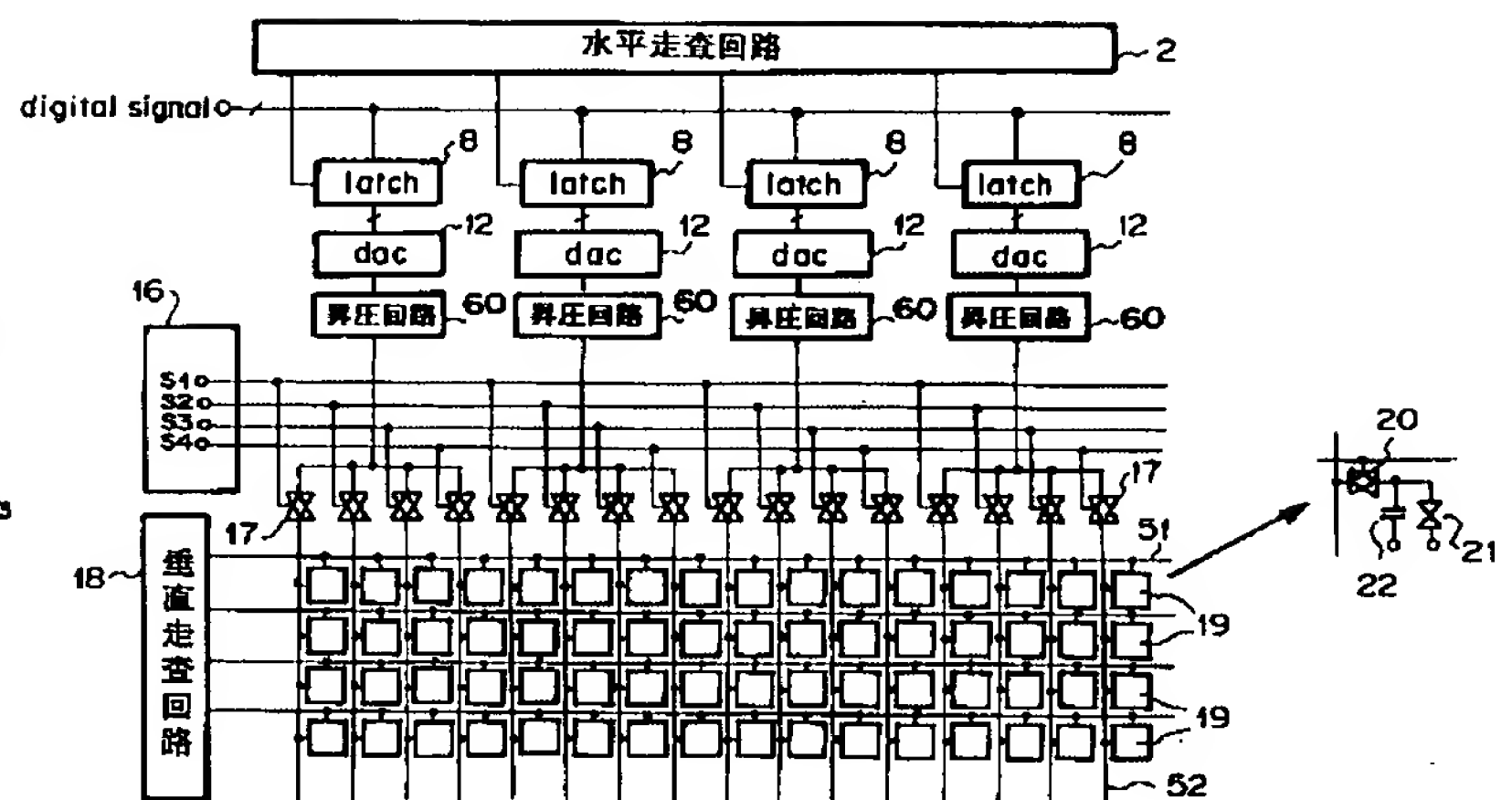
【図10】



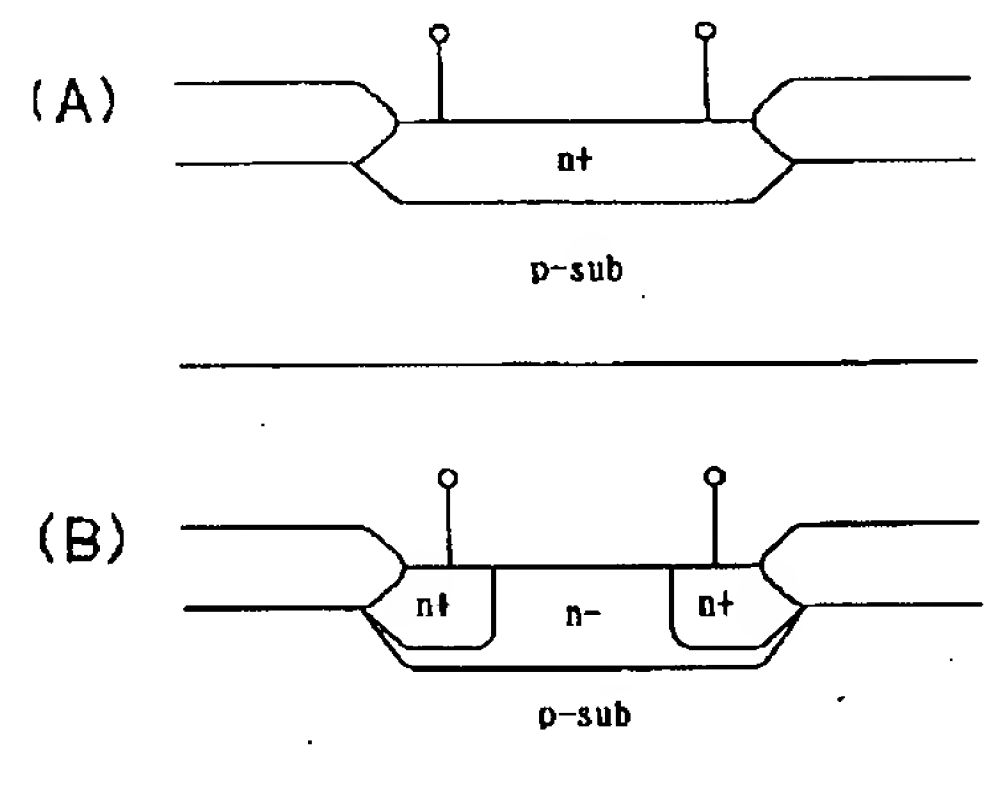
【図11】



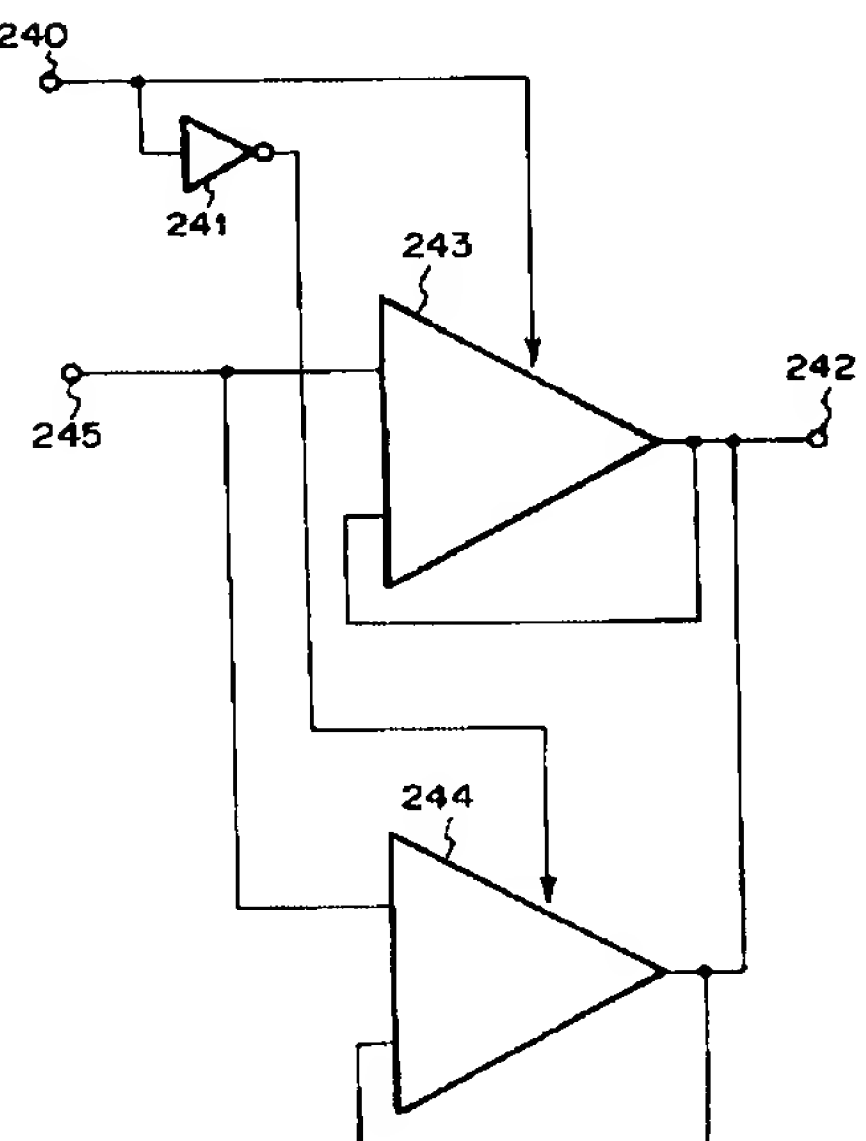
【図17】



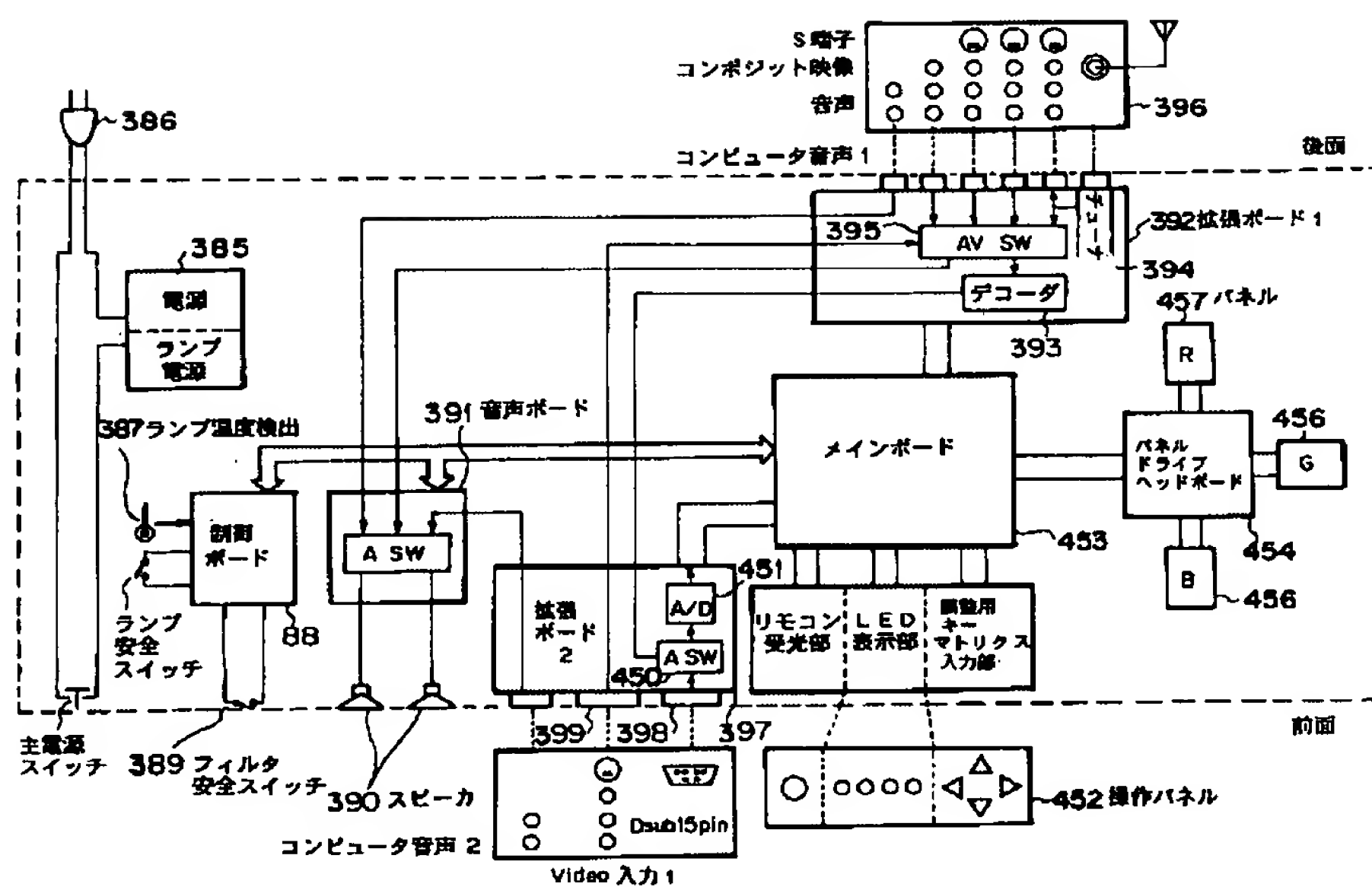
【図23】



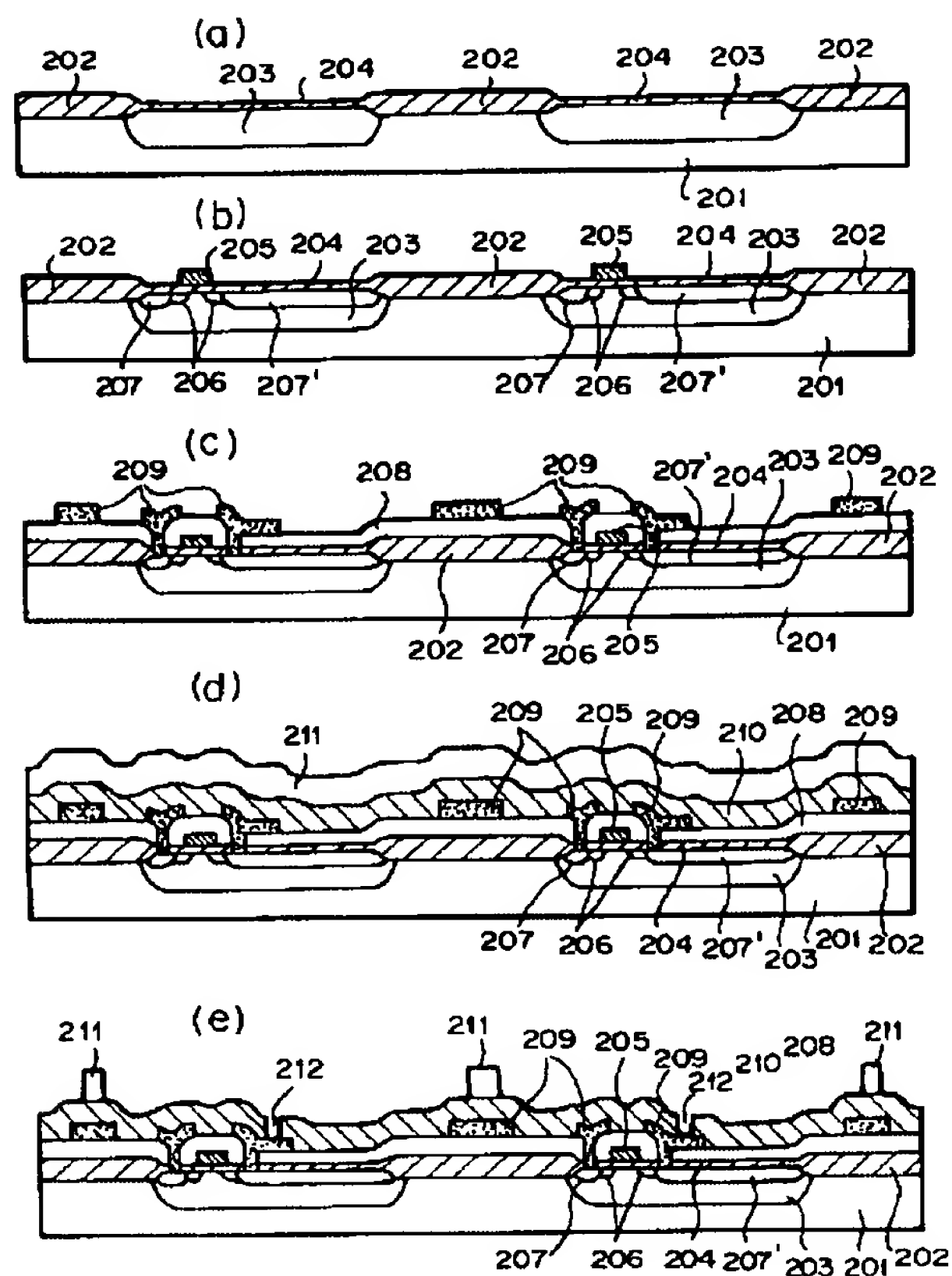
【図24】



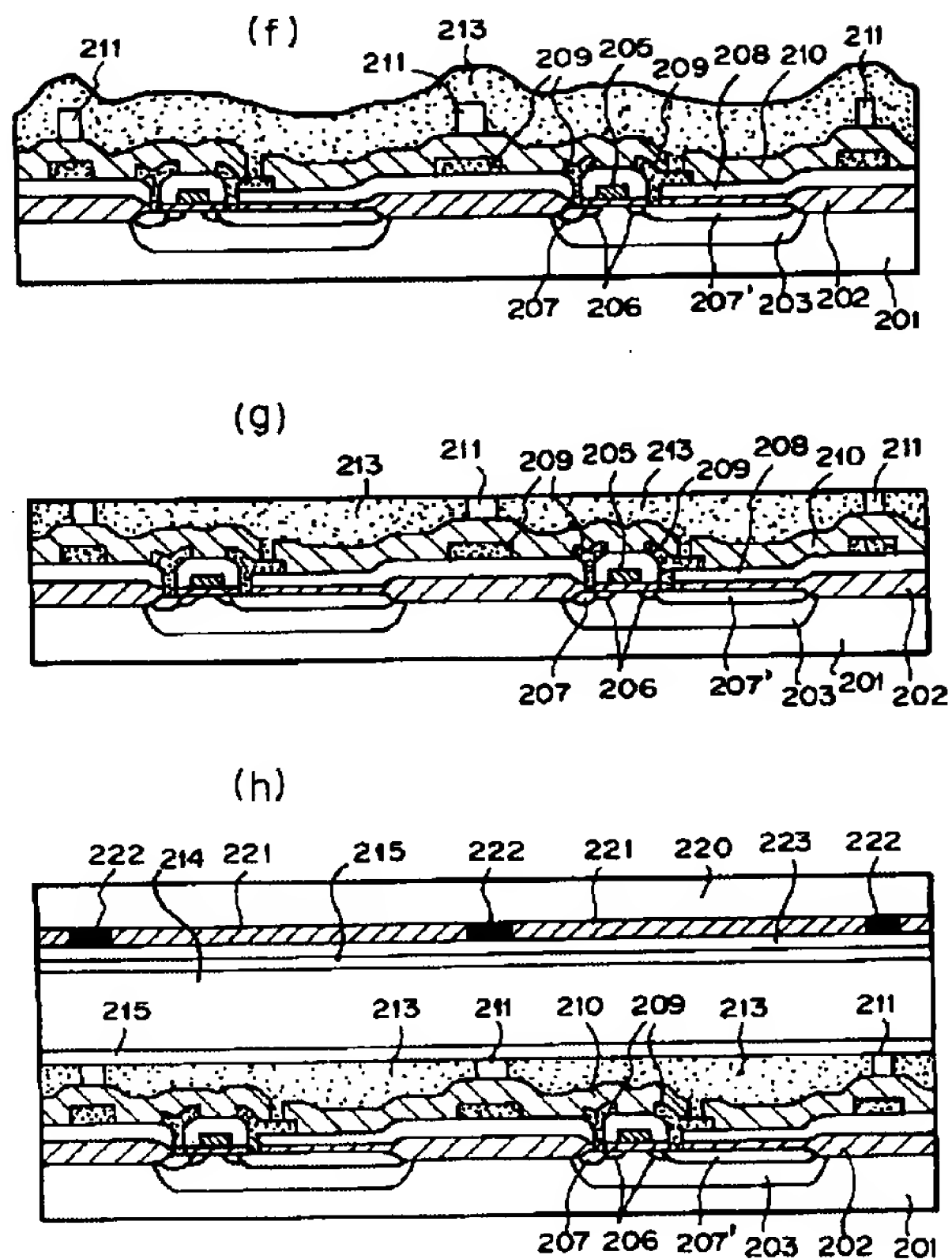
【图 12】



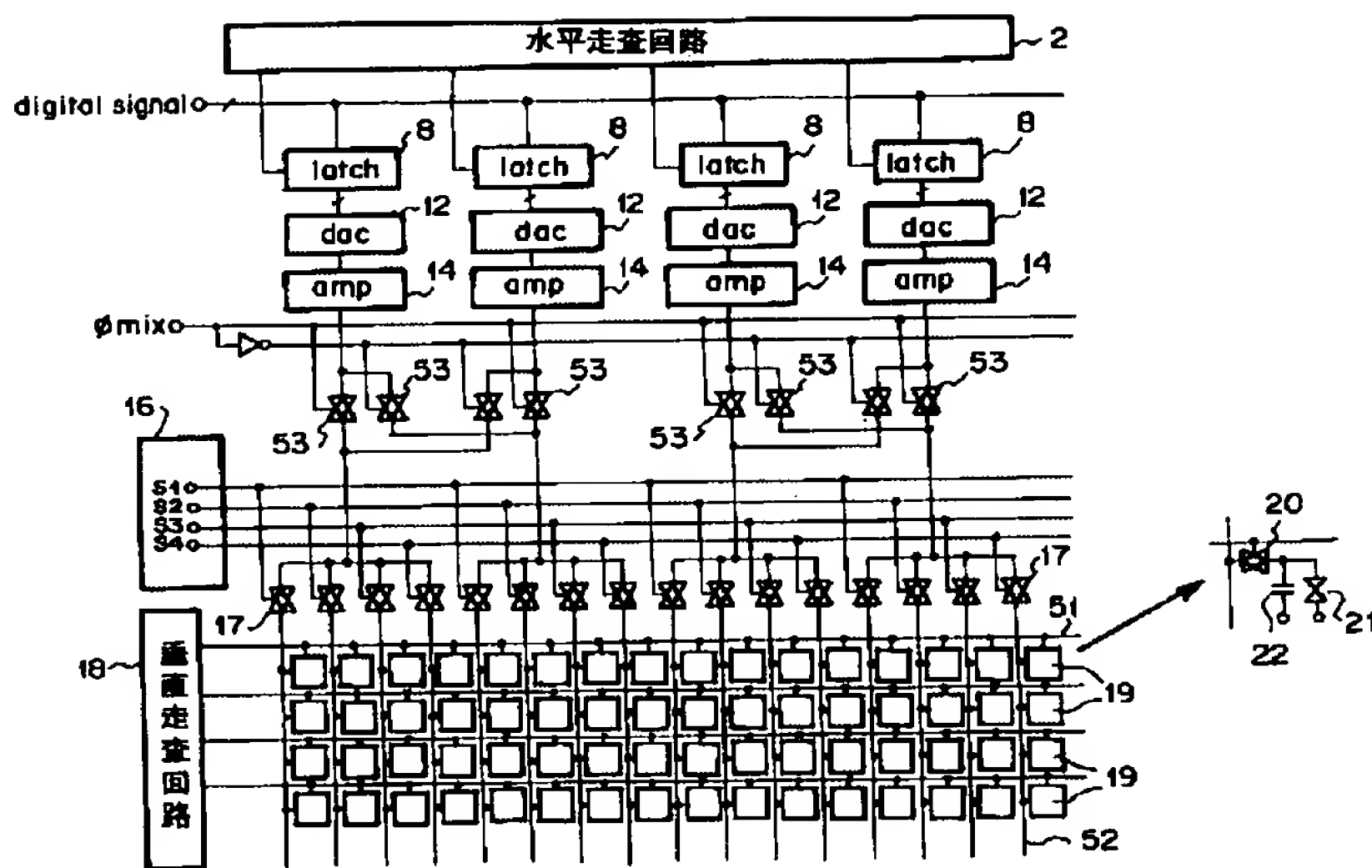
【図 13】



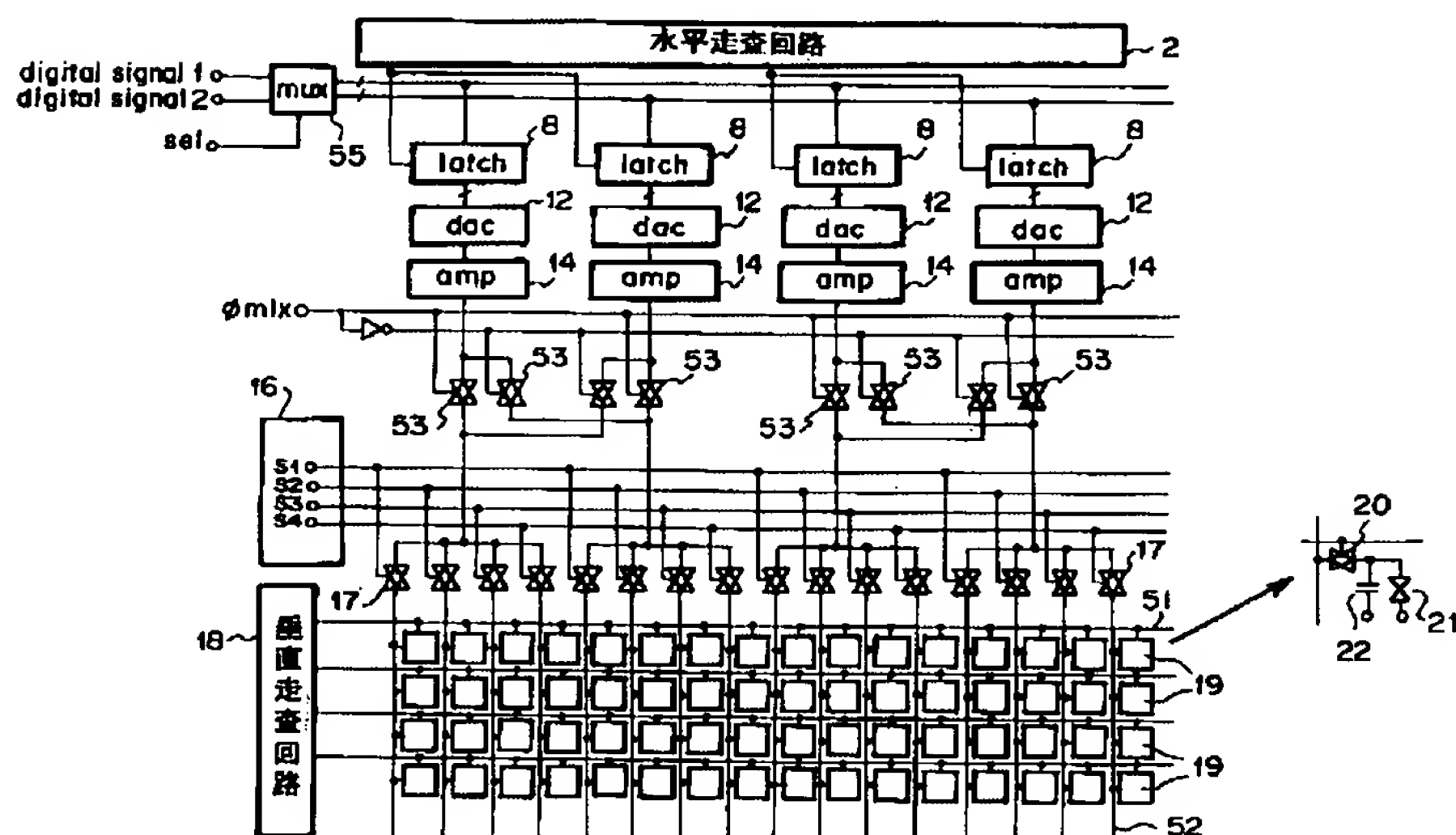
【图 14】



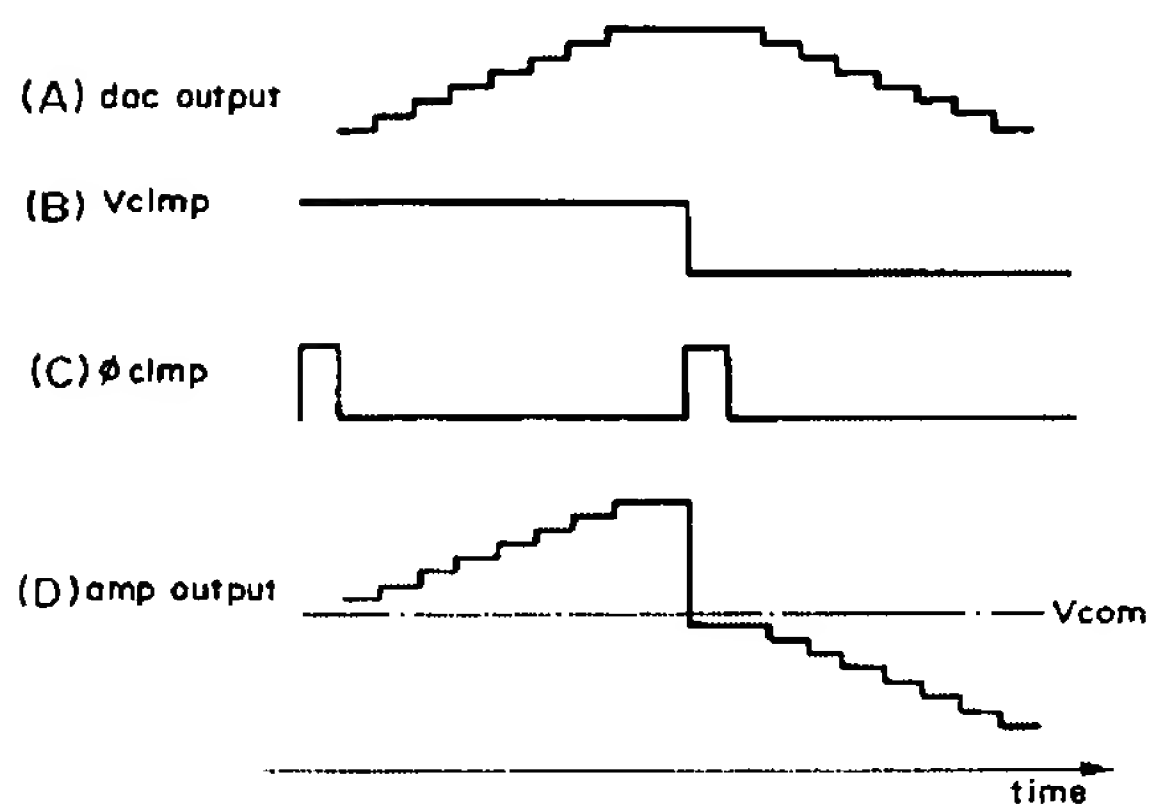
【図15】



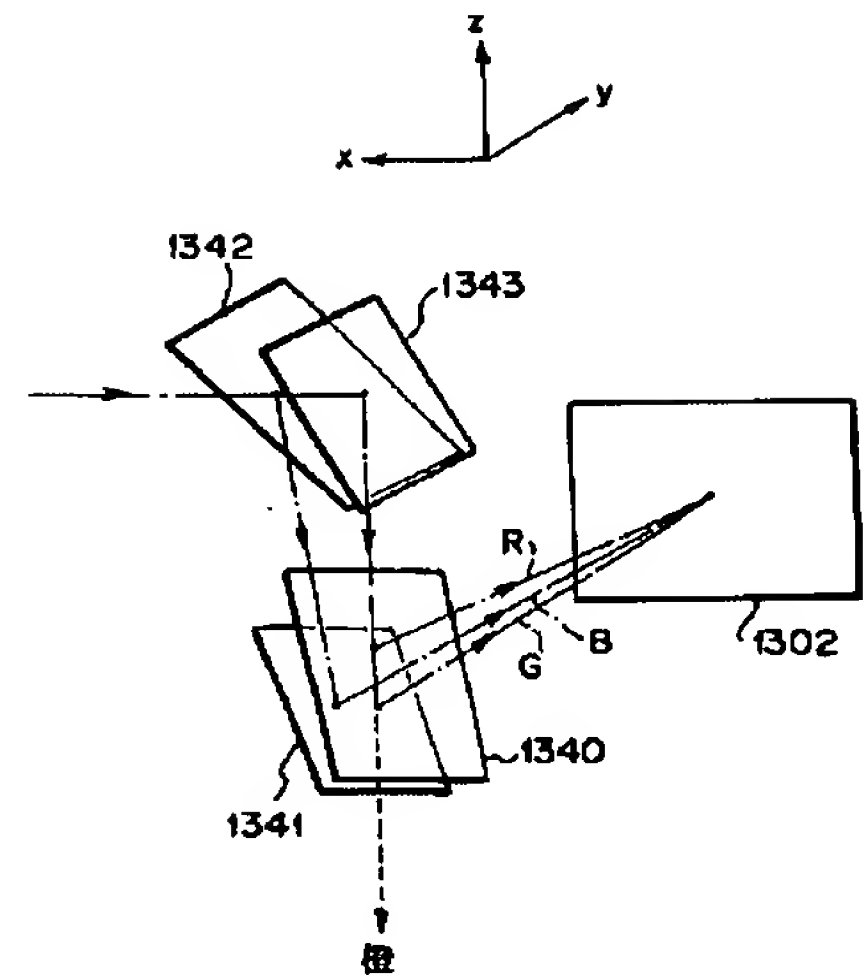
【図16】



【図20】

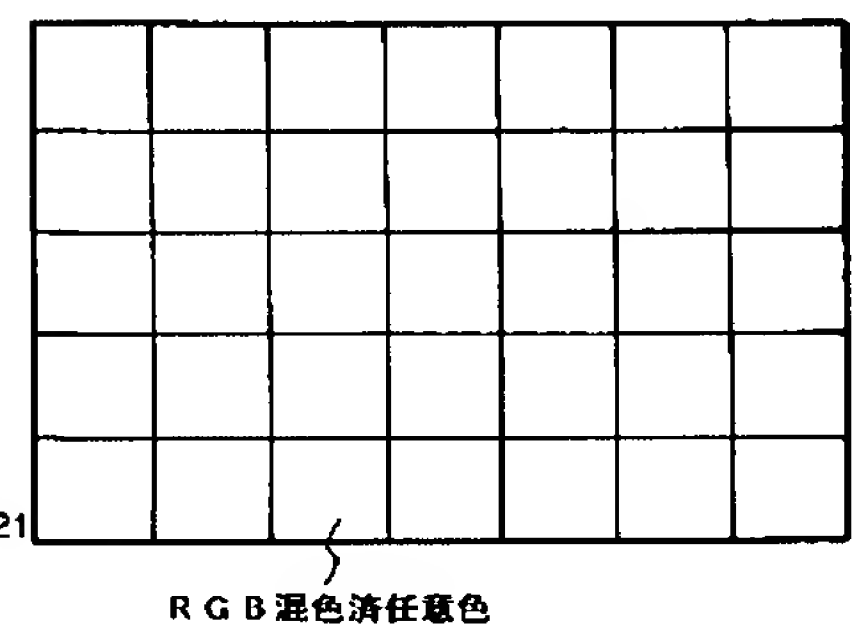


【図28】

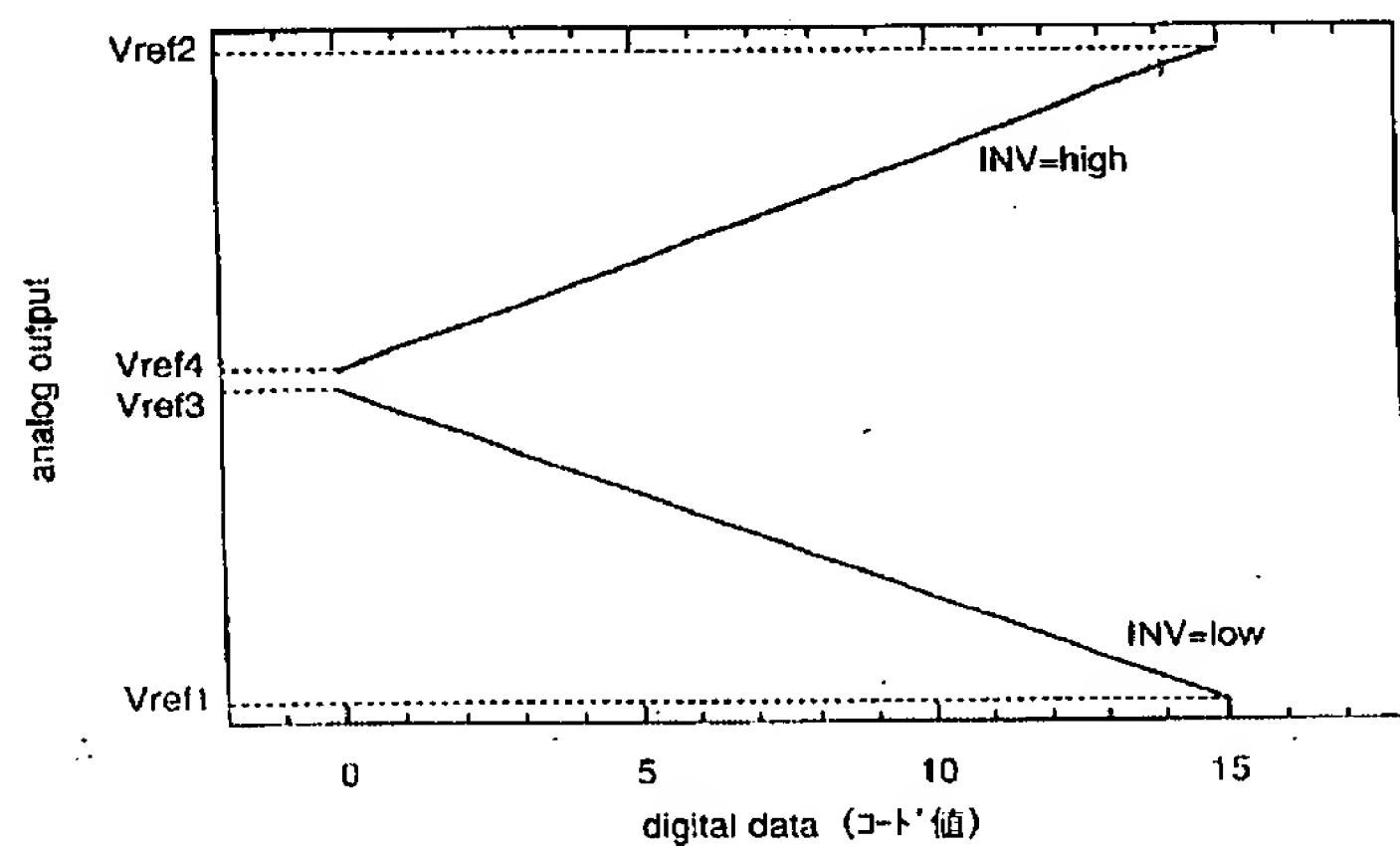


1302: マイクロレンズ付液晶パネル
 1340: R 反射ダイクロミラー
 1341: B/G 反射ダイクロミラー
 1342: B 反射ダイクロミラー
 1343: 高反射ミラー (G/R 反射)

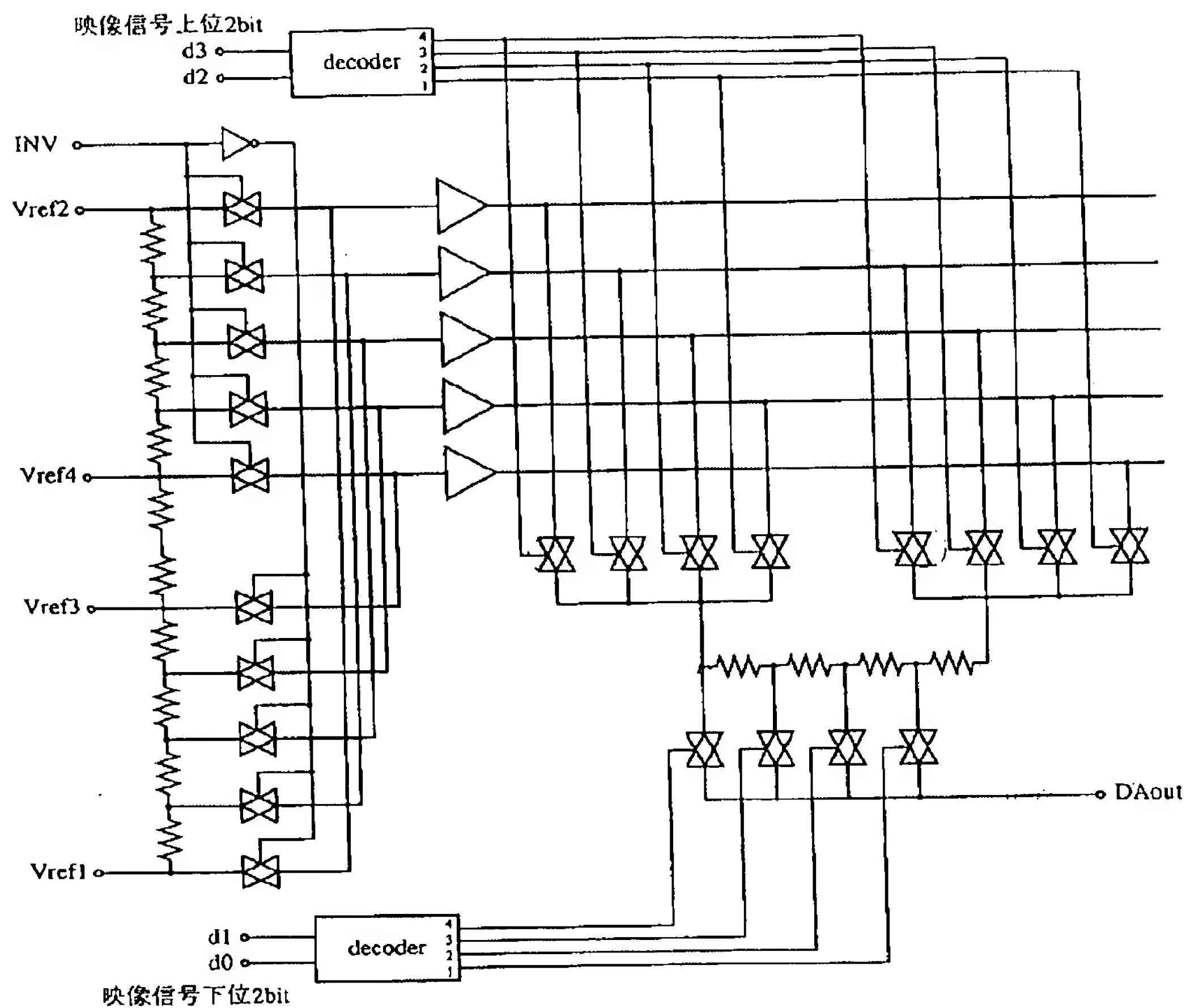
【図34】



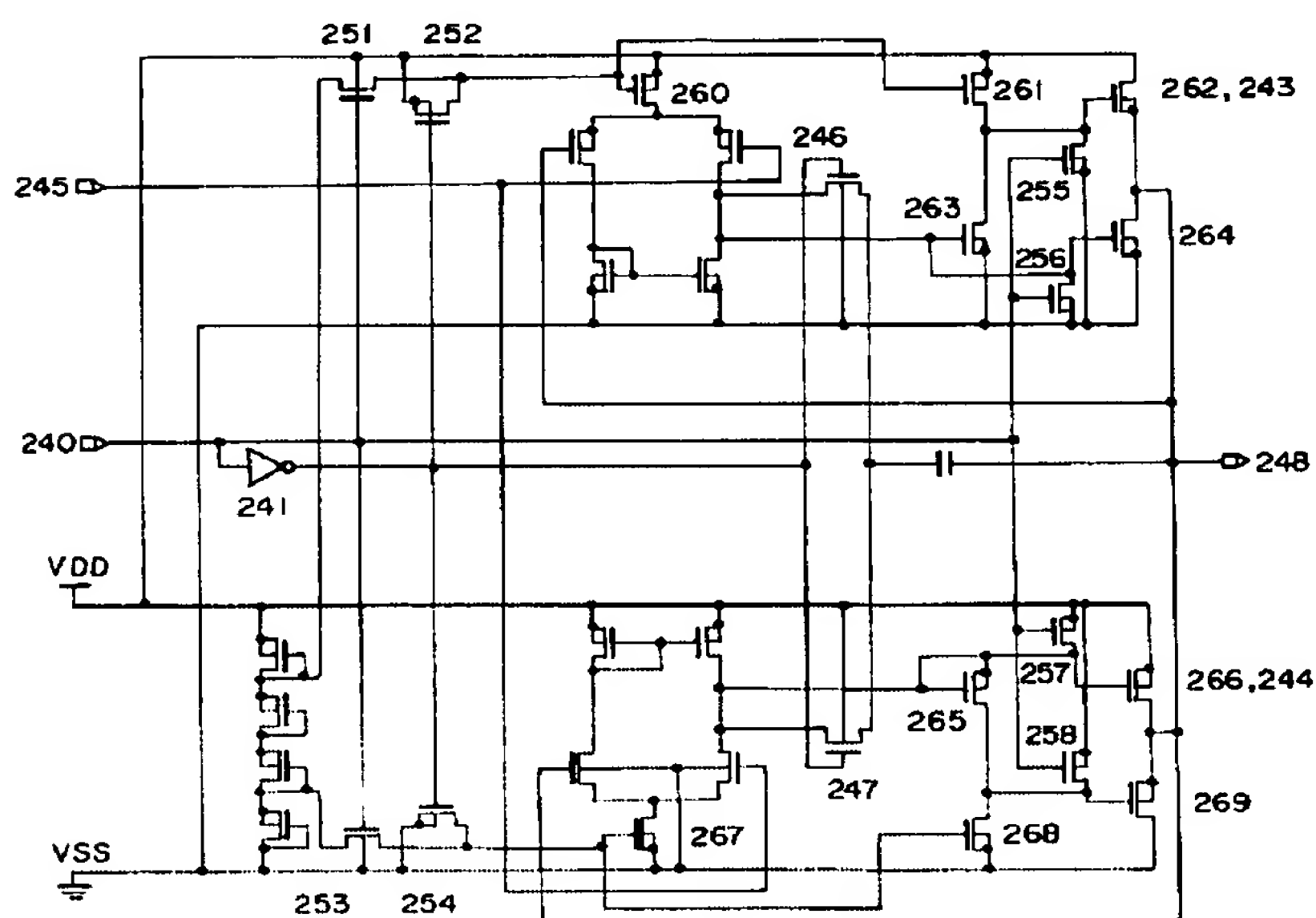
【図22】



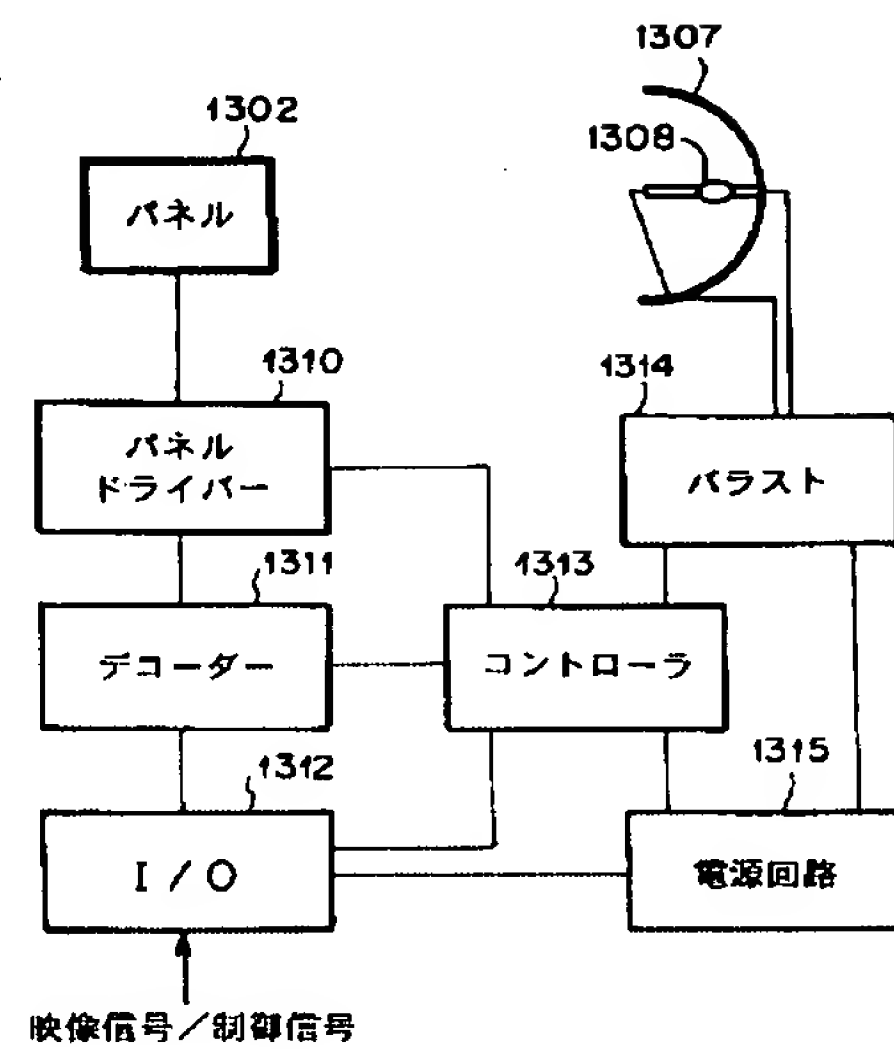
【図21】



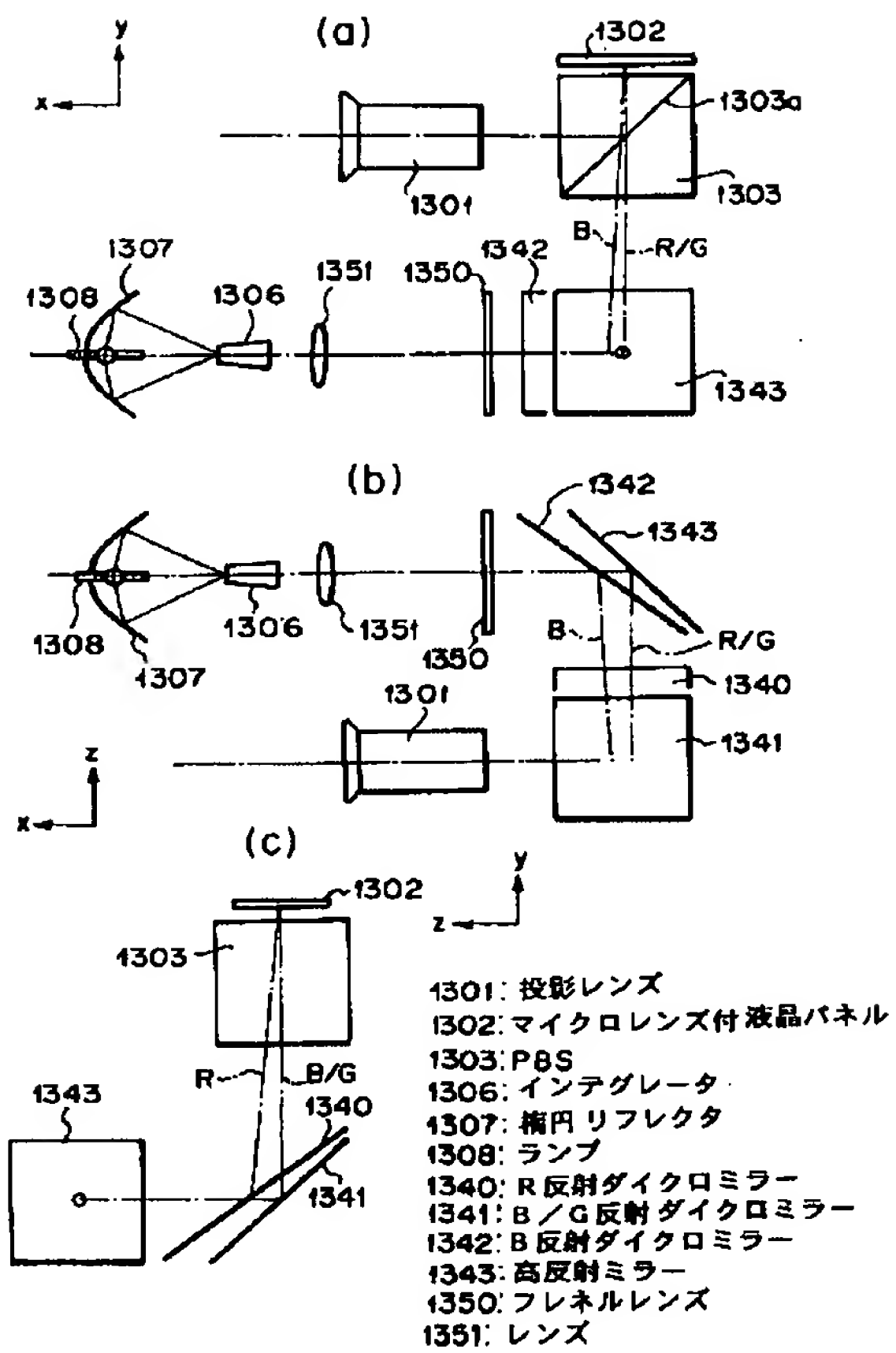
【図25】



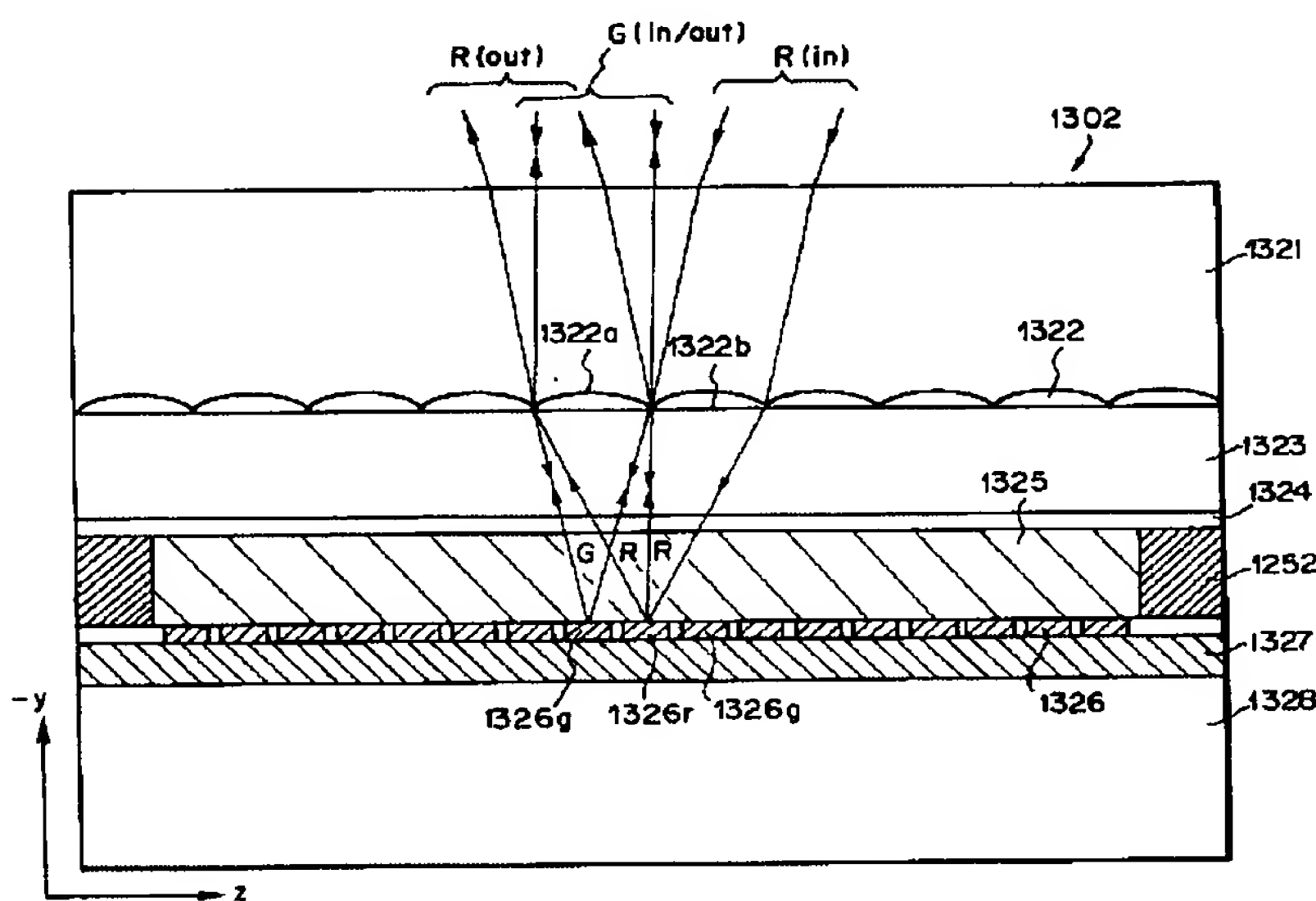
【図33】



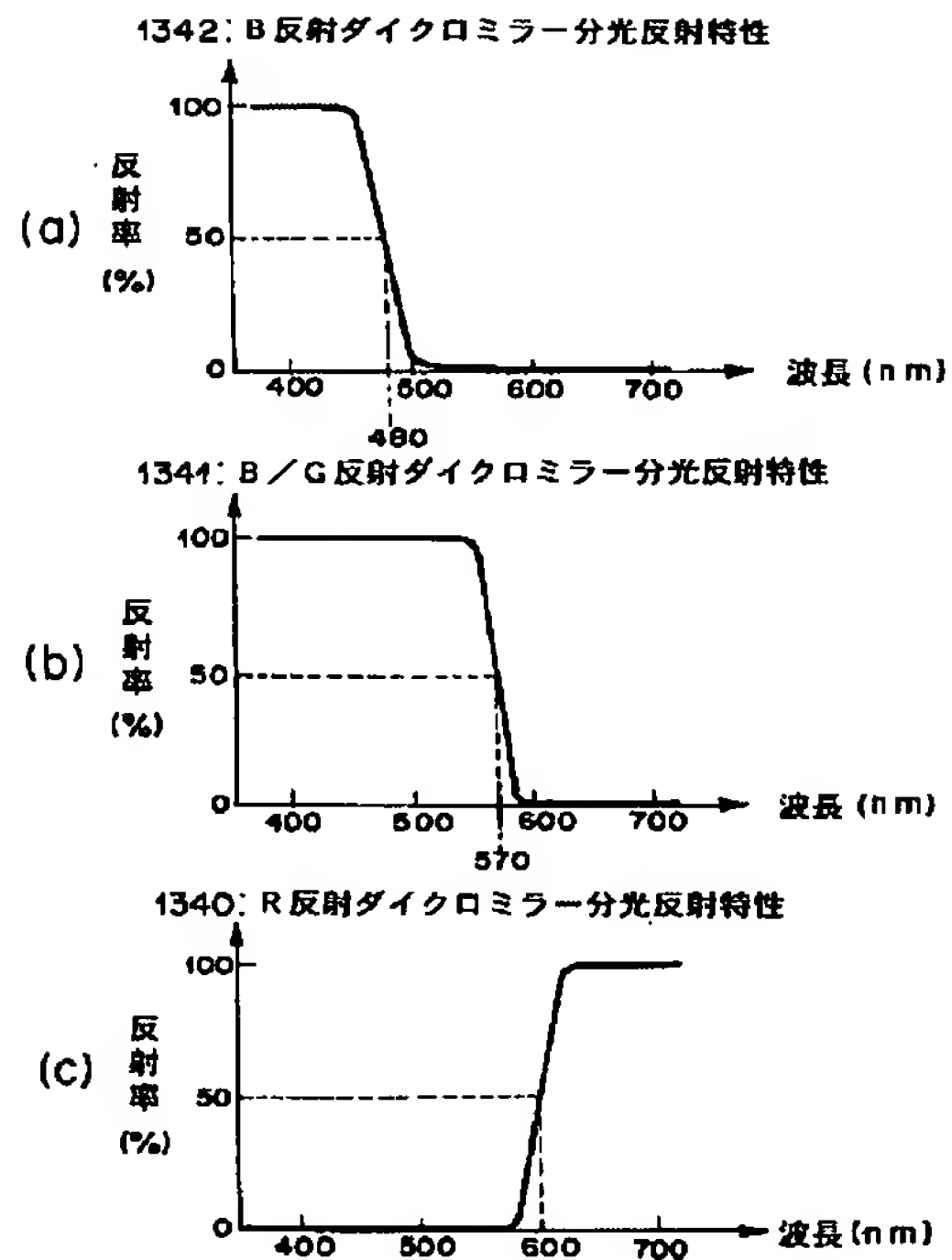
【図26】



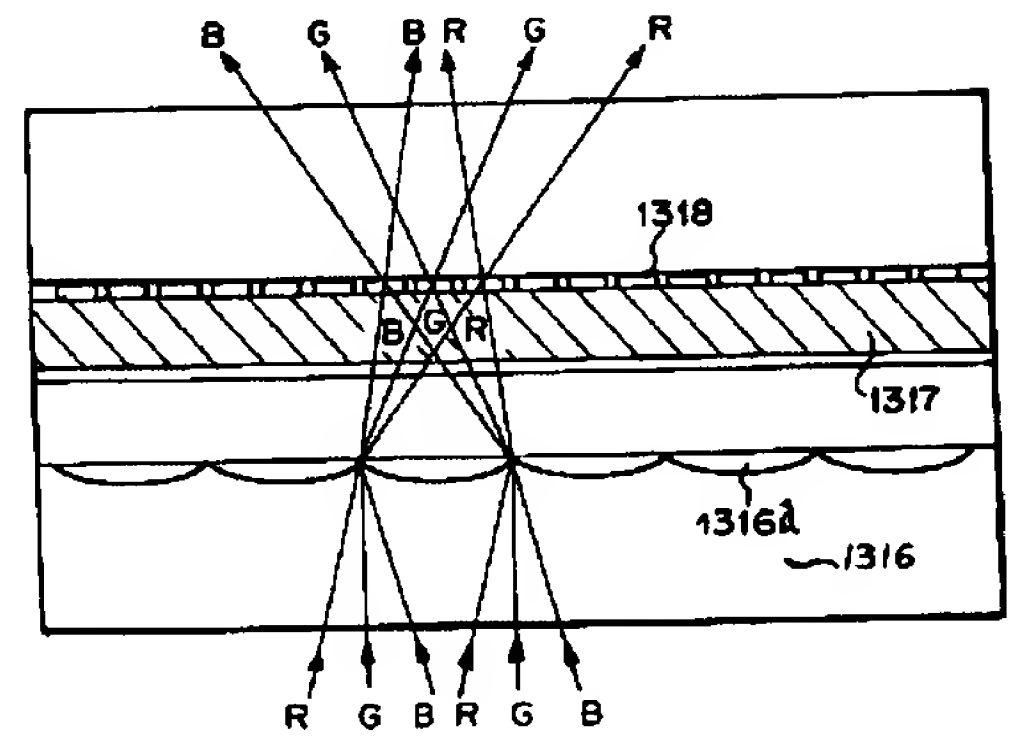
【図29】



【図27】



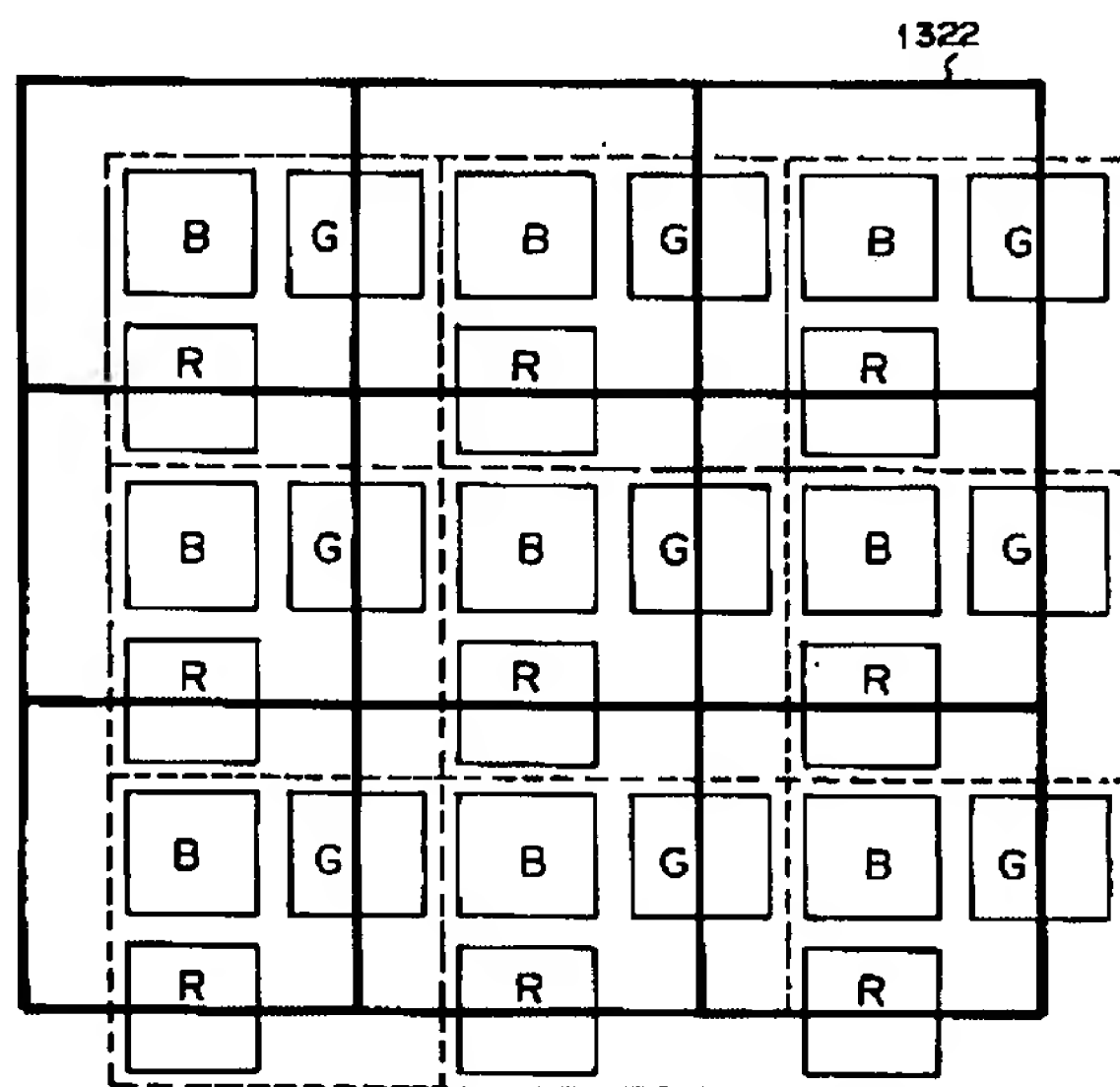
【図38】



【図39】

R	G	B	R	G	B	R	G	B	R	G	B
R	G	B	R	G	B	R	G	B	R	G	B
R	G	B	R	G	B	R	G	B	R	G	B
R	G	B	R	G	B	R	G	B	R	G	B
R	G	B	R	G	B	R	G	B	R	G	B

【図35】



【図36】

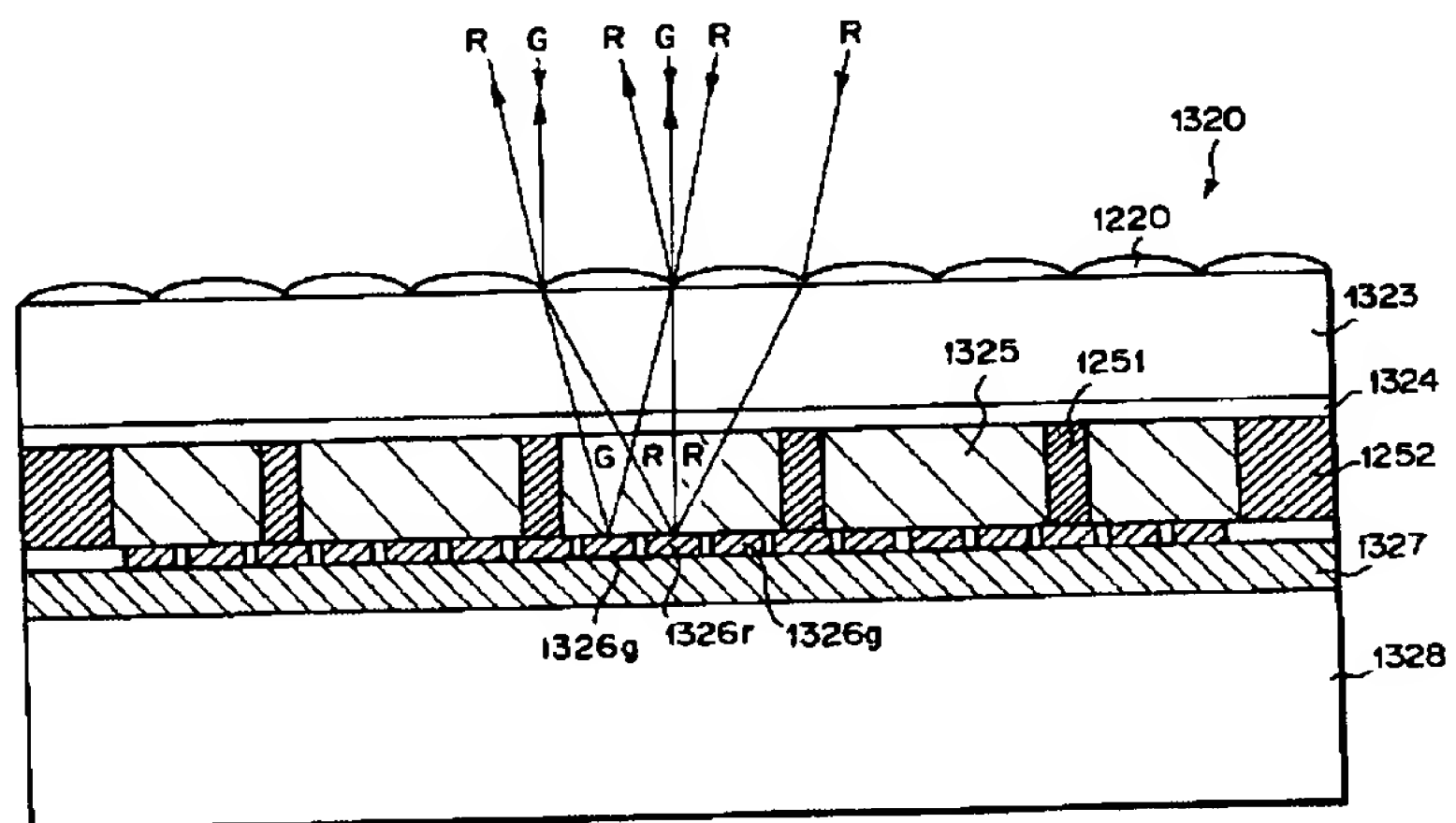
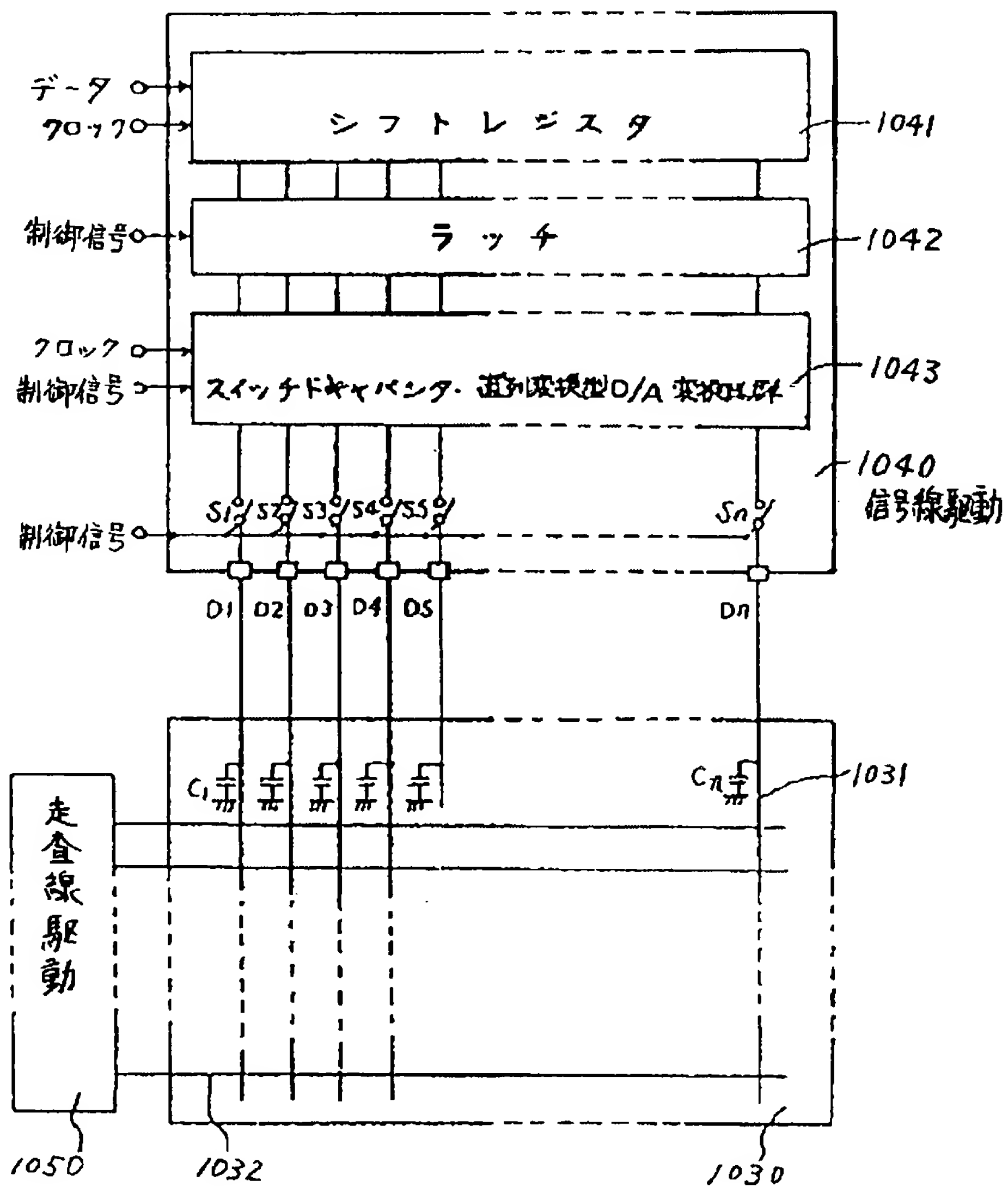


Figure 1 consists of two parts: (a) a plan view and (b) a cross-sectional view of a color display panel.

(a) Plan view: A 3x3 grid of subpixels. Each subpixel is divided into three regions: Green (G), Blue (B), and Red (R). The central subpixel (1251) is defective and contains a shaded region. The grid is surrounded by a thick border (1320) and a dashed line (1326). The grid is labeled with (a) at the top center.

(b) Cross-sectional view: A cross-section of the panel along line A-A'. It shows a layered structure with layers 1323, 1324, 1325, 1327, and 1328. A central defect area (1251) is shown as a shaded region. The top surface is labeled with (b) at the top center.

【図41】



フロントページの続き

(72)発明者 樽松 克巳
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 小山 理
東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内